

# Entwicklung und Test der optischen Auslese für eine Vieldrahtproportionalkammer

Diplomarbeit von Peter Keller

Eingehändigt bei  
Prof. Dr. R. Eichler

Institut für Teilchenphysik  
der ETH Zürich  
am PSI, Villigen, Schweiz

April 1999

## Zusammenfassung

Mit dem Upgrade des HERA Speicherrings am DESY werden auch einige der Detektorkomponenten des H1-Experimentes neu entworfen. Zu diesen gehört auch die Zentrale Innere Proportionalkammer (CIP), die die zur Zeit eingebauten zwei Lagen der CIP und der Zentralen Inneren Z-Kammer (CIZ) ersetzen soll, um die höheren Untergrundraten kontrollieren zu können.

Die Untergrundunterdrückung wird mit der neuen sowie auch der alten CIP durch den z-Vertex-Trigger realisiert, welcher Teil des first level Trigger bei H1 ist. Deshalb müssen die Signale innerhalb von 96 ns aus dem Detektorbereich ausgeführt werden. Die Anzahl der Auslesekanäle erhöht sich durch den Neubau um einen Faktor 10, weshalb die detektornahe Elektronik durch ein System von Multiplexern und einer optischen Verbindung zur Empfängerelektronik mit 1 GHz Signalrate ersetzt wird.

In der vorliegenden Arbeit wurde die Empfängerelektronik entworfen und so weit als möglich vermessen. Zudem wurde die optische Übertragungstrecke bis zum Ende der Kabel instand gesetzt.

# Danksagung

Mein grösster Dank gehört Prof. Dr. R. Eichler. Er hat mit dem mir angebotenen Thema genau meine Interessen getroffen und mich auch während der Diplomarbeit sehr gut betreut.

Desweiteren bedanke ich mich bei Stefan Lueders und Karoly Szeker für die sehr freundschaftliche Zusammenarbeit. Sie beide hatten für meine Fragen immer ein offenes Ohr und sie brachten mich mit ihrer Kritik und Ihren Anregungen dazu, ein für mich fremdes Gebiet relativ schnell zu überschauen.

Auch möchte ich der ganzen Gruppe am PSI danken, die ein motivierendes Umfeld für meine Arbeit schuf.

Gisi, Jeannette und Phippo, Euch habe ich natürlich nicht vergessen. Vielen Dank für den moralischen Beistand, die feinen Gerichte und dass ihr bei meiner haushälterischen Schlampigkeit mal ein Auge zuge drückt habt.

Last but not least, vielen Dank an Dich, Regula. Obwohl ich sehr beschäftigt war, hast Du Dich trotzdem entschieden, Deine Reise abubrechen und in die Schweiz zurückzukehren. Hoffentlich haben wir jetzt die Gelegenheit, das Verpasste gemeinsam nachzuholen.

- 1990



# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>1</b>
<b>2</b>	<b>HERA und der H1-Detektor</b>	<b>3</b>
2.1	Der Speicherring HERA . . . . .	3
2.2	Der H1-Detektor . . . . .	4
2.2.1	Proportionalkammern . . . . .	6
2.2.2	Zentrale Proportionalkammer . . . . .	6
2.3	Upgrade des H1-Detektors . . . . .	8
<b>3</b>	<b>CIP Upgrade</b>	<b>11</b>
3.1	Detektorseitige Elektronik . . . . .	12
3.1.1	CIPix . . . . .	13
3.2	Trailerseitige Elektronik . . . . .	14
<b>4</b>	<b>Optischer Hybrid</b>	<b>17</b>
4.1	Mechanische Aspekte . . . . .	18
4.1.1	Prototyp . . . . .	19
4.1.2	Serienproduktion . . . . .	19
<b>5</b>	<b>Demux Karte</b>	<b>23</b>
5.1	Komponenten . . . . .	24
5.1.1	Trailerseitige Elektronik . . . . .	24
5.1.2	Testzusatz . . . . .	25
5.2	Schaltung . . . . .	26
5.2.1	Signalwege . . . . .	26
5.2.2	Steuerung . . . . .	27
5.2.3	Testzusatz . . . . .	28
5.3	Layout . . . . .	29
5.3.1	Lagenaufbau . . . . .	29
5.3.2	Entkopplung . . . . .	29
5.3.3	Impedanzleitungen . . . . .	30

<b>6 Messungen und Simulation</b>	<b>33</b>
6.1 Messungen am Demux Board . . . . .	33
6.1.1 Laufzeit- und Jittermessungen an der PLL . . . . .	33
6.2 Simulation der ECL Bausteine . . . . .	34
6.2.1 Gliederung . . . . .	34
6.2.2 Ergebnisse . . . . .	37
6.3 Messung der optischen Übertragungsstrecke . . . . .	39
6.3.1 Messgeräte . . . . .	39
6.3.2 Messungen am OH . . . . .	44
6.3.3 Messungen am DeOH . . . . .	47
<b>7 Zusammenfassung und Ausblick</b>	<b>53</b>
<b>A Optische Hybride, Schaltpläne</b>	<b>55</b>
<b>B Testkarte für optische Übertragungsstrecke, Schaltpläne</b>	<b>57</b>
<b>C Demux Board, Schaltpläne</b>	<b>59</b>
<b>D Demux Karte, Layout</b>	<b>61</b>
<b>Bibliographie</b>	<b>63</b>

# Kapitel 1

## Einleitung

Vor sechzig Jahren waren nur wenige „elementare“ Teilchen bekannt: Proton, Neutron, Elektron und Neutrino, dazu das Feldquant der elektromagnetischen Wechselwirkung, das Photon. Das heute bekannte Universum besteht in der Tat fast ausschliesslich aus diesen stabilen Teilchen. Als man jedoch mit Hilfe von immer grösseren Teilchenbeschleunigern versuchte, die Kraft zwischen Protonen und Neutronen im Kern zu verstehen, entdeckte man Hunderte von neuen — instabilen — Teilchen, die Hadronen genannt wurden.

Aus diesem scheinbaren Chaos hat sich in den letzten Jahrzehnten das Standardmodell der Elementarteilchenphysik entwickelt. Es teilt die Welt in Bausteine der Materie — genannt Fermionen — und deren Austauschenteilchen — Bosonen — auf, welche weiter in Familien und Generationen unterteilt werden.

Einerseits wird das Standardmodell von den experimentellen Ergebnissen der zur Zeit eingesetzten Teilchenbeschleuniger laufend bestätigt, andererseits wird angestrebt, die Energie der kollidierenden Teilchen immer mehr zu erhöhen, um die Existenz weiterer vom Standardmodell vorhergesagten Teilchen zu zeigen. Zudem braucht man eine möglichst hohe Ereignisrate, um sehr seltene Ereignisse nachzuweisen.

Die Erhöhung der Teilchenenergie und der Ereignisrate sollten im Upgrade des HERA Ringes realisiert werden, deshalb werden einige der Komponenten des H1-Detektors neu entwickelt. Speziell muss der  $z$ -Vertex-Trigger überarbeitet werden, um die höhere Untergrundrate unterdrücken zu können. Die Zentralen Proportionalkammern stellen die Informationen für der  $z$ -Vertex-Trigger bereit, weshalb sie möglichst schnell an den entspre-

chenden Ort, dem Trailer, geführt werden müssen. Da die Platzverhältnisse und Signaldichte zur Lösung dieser Aufgabe direkt am Detektor sehr beschränkt sind, musste ein neues Konzept für die Ausleseelektronik erstellt werden. Die daraus vorgeschlagene optische Auslese der Triggerinformation ist Thema dieser Arbeit.

# Kapitel 2

## HERA und der H1-Detektor

Der Speicherring HERA ist das derzeit leistungsfähigste Elektronen-Mikroskop für die Untersuchung der Struktur von Protonen und deren Konstituenten, den *Quarks* und *Gluonen*, sowie zur Überprüfung des Standardmodells der Elementarteilchenphysik.

Dieses Kapitel gibt einen kurzen Überblick über den Speicherring HERA und den H1-Detektor, wobei der Schwerpunkt auf der für diese Arbeit wichtigen zentralen inneren Proportionalkammer (CIP) liegt.

### 2.1 Der Speicherring HERA

Die **Hadron-Elektron-Ring-Anlage** HERA (Abbildung 2.1) des **Deutschen Elektronen-Synchrotrons** DESY in Hamburg wurde nach etwa sechs Jahren Bauzeit und Baukosten von fast einer Milliarde Franken im Jahre 1990 fertiggestellt. Der Speicherring liegt in einer Tiefe von 10 m bis 25 m unter der Erdoberfläche und hat einen Umfang von 6336 m.

In zwei separaten Strahlrohren werden Elektronen oder Positronen und Protonen auf Endenergien von 27.6 GeV bzw. 920 GeV beschleunigt und gespeichert, nachdem sie ein System von Vorbeschleunigern durchlaufen haben.

Die Elektronen und Protonen werden an zwei Kreuzungspunkten zur Kollision gebracht. An diesen Wechselwirkungszonen, im Norden und im Süden des HERA-Ringes, wurden die beiden Detektoren H1 und ZEUS errichtet, um die Struktur des Protons aus der  $ep$ -Streuung bei höchsten Schwerpunktenenergien zu bestimmen. In der Halle West ist das Experiment HERA-B im Aufbau, an dem die CP-Verletzung in  $B$ -Meson-Zerfällen untersucht werden

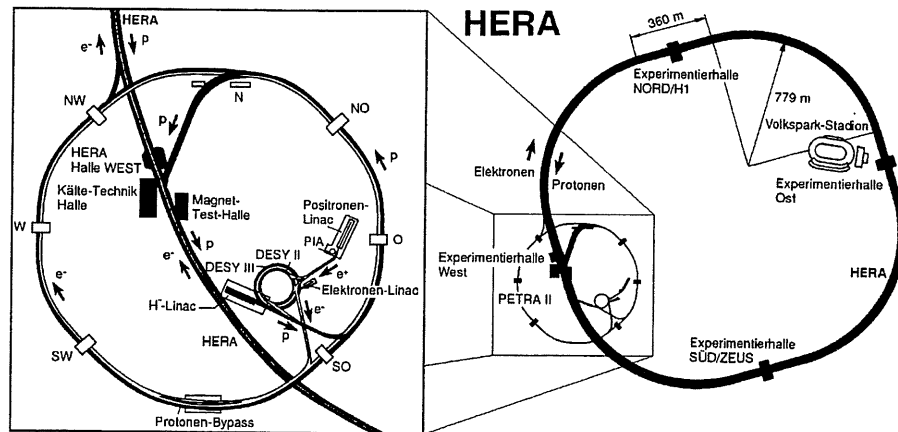


Abbildung 2.1: Der Speicherring HERA

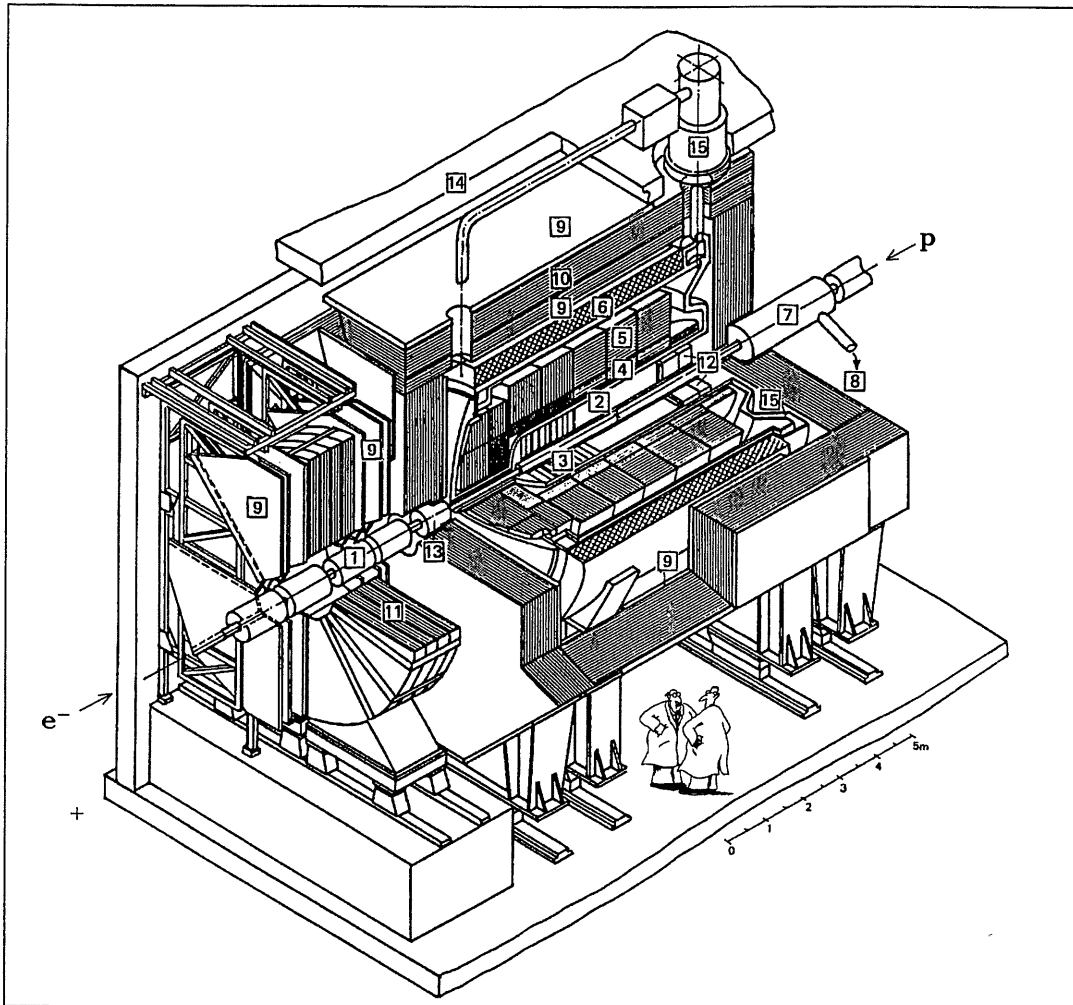
soll. Das Experiment HERMES, das die Spinstruktur des Protons und des Neutrons untersucht, befindet sich in der östlichen Halle.

Die erreichbare Schwerpunktenenergie des  $ep$ -Systems beträgt  $\sqrt{s} \simeq 320$  GeV, so daß der maximal mögliche Viererimpulsübertrag  $Q^2 \simeq 10^5$  GeV<sup>2</sup> erreicht. Damit liegt HERA etwa zwei Größenordnungen über den mit *Fixed-Target*-Experimenten an ruhenden Protonen bzw. Atomkernen zugänglichen Werten.

Für das Erreichen einer hohen Ereignisrate — der *Luminosität*, geliefert wurden 1997 etwa  $35 \text{ pb}^{-1}$  — werden die Elektronen und Protonen auf je 210 Plätzen im Ring simultan gespeichert. Sind alle Plätze mit Teilchenpaketen (*Bunches*) besetzt, ergibt sich an den Wechselwirkungspunkten ein zeitlicher Abstand zweier *Bunchcrossings* von 96 ns entsprechend einer Frequenz von 10.4 MHz.

## 2.2 Der H1-Detektor

In der nördlichen Wechselwirkungszone von HERA ist der *Detektor H1* für die Analyse der  $ep$ -Streuung aufgebaut (Abbildung 2.2). Er wurde 1992 in Betrieb genommen und hat die Masse  $b \times h \times l = 10 \text{ m} \times 12 \text{ m} \times 15 \text{ m}$  bei einem Gewicht von 2800 t.



- |    |   |    |  |
|----|---|----|--|
| 1  | Strahlrohr und Strahlmagnete                                      | 2  | Zentrale Spurkammern                         |
| 3  | Vorwärts-Spurkammern mit Übergangsstrahlungsmodulen               |    |  |
| 4  | Elektromagnetisches Kalorimeter (Blei / Flüssig-Argon)            |    |  |
| 5  | Hadronisches Kalorimeter (Edelstahl / Flüssig-Argon)              |    |  |
| 6  | Supraleitende Spule ( $B = 1.15 \text{ T}$ )                      | 7  | Kompensationsmagnet ( $B = 4.83 \text{ T}$ ) |
| 8  | Helium-Kälteanlage  | 9  | Myon-Kammern                                 |
| 10 | Instrumentiertes Eisenjoch (Eisenplatten und Streamerrohrkammern) |    |  |
| 11 | Myon-Toroidmagnet ( $B = 1.6 \text{ T}$ )                         |    |  |
| 12 | rückwärtige Spurkammer und warmes Kalorimeter                     |    |  |
| 13 | Vorwärtskalorimeter   | 14 | Betonabschirmung                             |
| 15 | Flüssig-Argon-Kryostat  |    |  |

Abbildung 2.2: Der H1-Detektor

Der Detektor besteht aus mehreren Komponenten, die z.B. auf die Messung des Impulses von geladenen Teilchen, die Messung der Energie neutraler und geladener Teilchen und Teilchenschauer, die Erkennung des gestreuten Elektrons und die Identifizierung von Myonen spezialisiert sind. Dabei wird, bis auf die Öffnungen für das Strahlrohr, der gesamte  $4\pi$ -Raumwinkel abgedeckt.

### 2.2.1 Proportionalkammern

Das Proportionalkammersystem des H1-Detektors ist unterteilt in CIP, COP und FWPC<sup>1</sup>. Abbildung 2.3 zeigt die räumliche Anordnung der verschiedenen Kammern im Spurkammersystem. Die Proportionalkammern decken einen Polarwinkelbereich von  $5^\circ \leq \Theta \leq 175^\circ$  ab und dienen hauptsächlich dem Zweck, den z-Vertex-Trigger für den first level Trigger von H1 bereitzustellen.

Abbildung 2.4 zeigt die prinzipielle Funktionsweise der CIP. Wenn ein geladenes Teilchen die Proportionalkammer passiert, wird das Gas (Ar / C<sub>2</sub>H<sub>6</sub>), mit welchem die Kammer gefüllt ist, ionisiert. Die herausgelösten Elektronen werden zum Anodendraht beschleunigt und produzieren durch sekundäre Ionisationen eine Elektronenlawine, welche innerhalb von  $\sim 1$  ns auf dem Anodendraht absorbiert wird. Dadurch werden positive Ladungen auf der Graphitschicht (Abbildung 2.5) induziert, welche wiederum auf den davon isolierten „Kupferpads“ Spiegelladungen erzeugen, welche das auszulesende Signal bilden. Weitergehende Beschreibungen findet man in [Sau77]. Die für diese Arbeit wichtige Kammer ist die CIP. Deren Aufbau wird in folgenden Abschnitt näher erläutert, die Beschreibung der übrigen Systeme findet man in [H1C97].

### 2.2.2 Zentrale Proportionalkammer

Zur Zeit befinden sich im H1-Detektor zwei Lagen der CIP. Jede Lage wird durch eine zylindrische Vieldrahtproportionalkammer gebildet, wie in Abbildung 2.6 gezeigt ist. Zwei konzentrische Zylinderröhren bilden die Kathode; 30 Anodendrähte werden symmetrisch zwischen die Rohre gespannt. Die Länge der Rohre beträgt 219 cm, der Abstand der Anodendrähte zur Strahlachse beträgt 15.7 cm resp. 16.6 cm. Die Pads sind in  $\phi$  — dem azimuthalen Winkel — 8fach unterteilt und haben in z-Richtung eine Länge von 3.66 cm, woraus sich 480 Pads pro Lage ergeben. Die Pads befinden sich jeweils nur

---

<sup>1</sup>CIP/COP: Central Inner/Outer Proportional Chamber  
FWPC: Forward Proportional Chamber



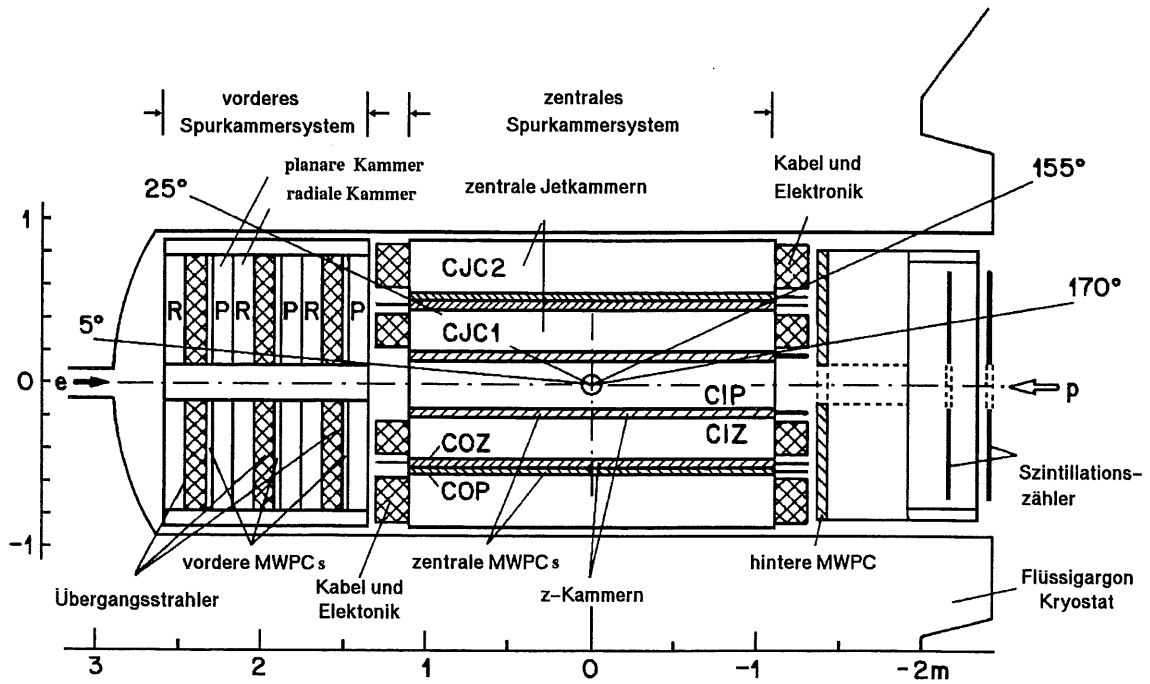


Abbildung 2.3: Seitenansicht des Spurkammer- und Proportionalkammersystems

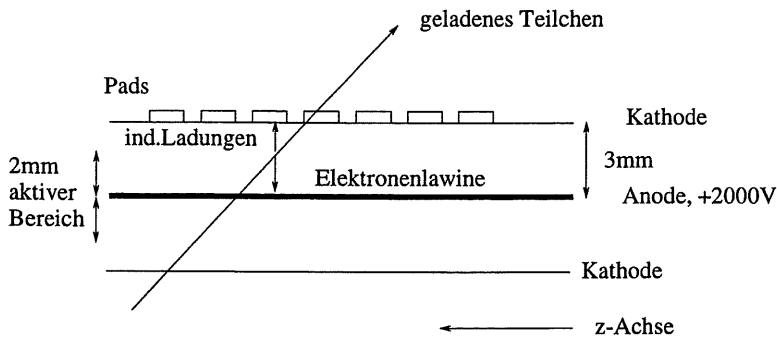


Abbildung 2.4: Funktionsweise der CIP



Abbildung 2.5: Aufbau der Kathode und Pads

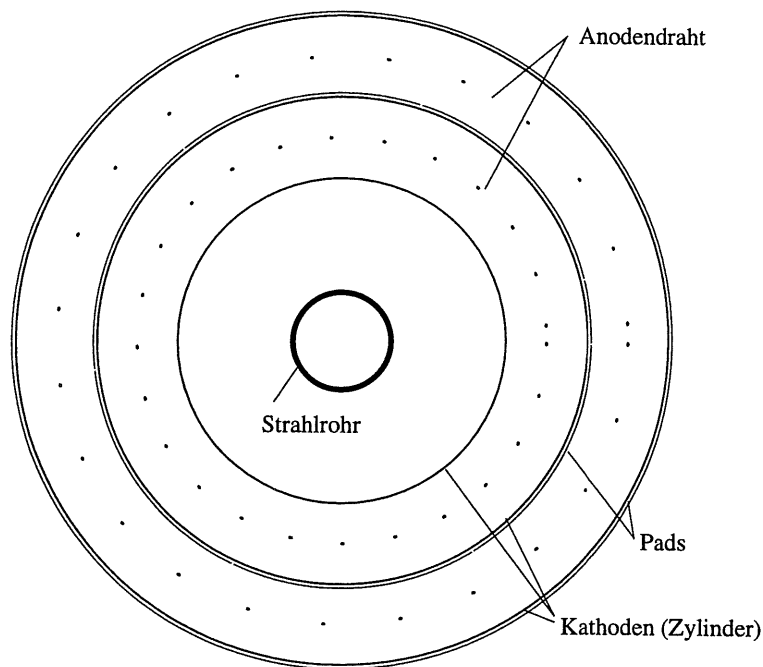


Abbildung 2.6: Schnitt senkrecht zur Strahlachse durch die CIP

am äusseren Zylinder, wobei das mittlere Rohr gleichzeitig als Kathode für beide Kammern dient. In Abbildung 2.7 sieht man die Lagen der CIP und der COP.

Die Signale werden über  $150\ \mu\text{m}$  breite Aluminiumdrähte an das hintere Ende der Kammer geführt. Dort befindet sich die Elektronik für die Weiterverarbeitung (siehe Abbildung 2.8). Die einzige Information, welche aus der CIP verwendet wird, ist ob ein Puls auf einem Pad gemessen worden ist oder nicht. Die jeweilige Form und Amplitude des Puls sind nicht von Interesse. Deshalb wird das Signal über einen Shaper auf einen Diskriminator geführt, wo es digitalisiert wird.

### 2.3 Upgrade des H1-Detektors

Der Grund für den Ausbau des HERA Beschleunigersystems ist hauptsächlich der Wunsch, die *Luminosität* zu erhöhen. Damit steigt die Empfindlichkeit des Detektors, seltene Ereignisse, z.B. mit grossem  $Q^2$  oder isolierten Leptonen, zu entdecken. Mit einem grösseren Protonstrom (verglichen mit dem Wert von 1997) und einem besseren Fokussierungssystem kann die Lumino-

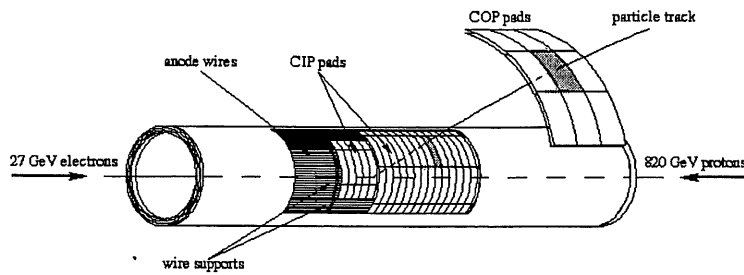


Abbildung 2.7: Anordnung der CIP und der COP

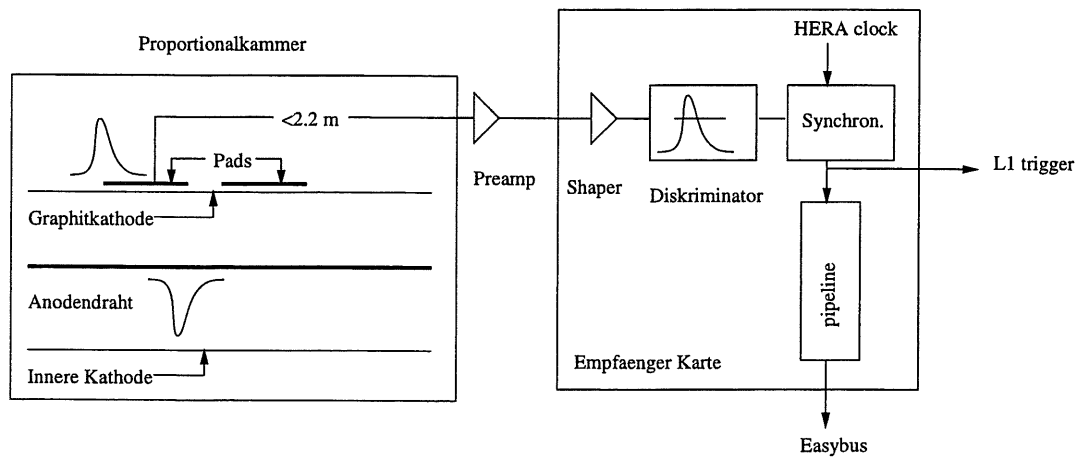


Abbildung 2.8: Ausleseelektronik der heutigen CIP

sität um einen Faktor fünf gegenüber den ursprünglichen Werten von HERA erhöht werden. Die neuen Strahlenkennungsmagneten machen eine Änderung des H1-Detektors notwendig. Zudem steigt mit dem Protonenstrom auch die Anzahl Untergrundereignisse, so dass gleichzeitig mit dem Ausbau von HERA verschiedene Komponenten des H1-Detektors, insbesondere der z-Vertex-Trigger und die dafür benötigte CIP, verbessert werden.



# Kapitel 3

## CIP Upgrade

Mit der Erhöhung des Protonenstroms steigt unweigerlich auch die Anzahl der gemessenen Untergrundereignisse an. Um die  $ep$  Kollisionen besser vom Untergrund zu trennen und einen stabilen Betrieb bei höherer Luminosität zu gewährleisten wird die CIP und der  $z$ -Vertex-Trigger neu entwickelt. Die bestehenden 2 Lagen der CIP und 2 Lagen der CIZ<sup>1</sup> werden durch 5 neue CIP-Lagen ersetzt. Die Länge der Kammer entspricht dem alten Wert (219 cm), der Abstand der Anodendrähte zur Strahlachse liegt zwischen 15.7 cm und 19.3 cm. Zudem wird die Granularität verbessert, die Grösse der Pads verringert sich vom 3.6 cm auf 1.8 cm und die Segmentierung in  $\phi$  verdoppelt sich von 8 auf 16fach. Damit steigt die Anzahl der auszulesenden Kanäle von 960 auf 9600.

Die 120 Kathodenpads von einem  $\phi$  Sektor werden auf 100  $\mu\text{m}$  breiten Striplines oder Mikro-Coaxkabeln zum Ende der Kammer geführt, wo sie via Vorverstärker an die Ausleseelektronik geleitet werden. Bisher wurde jedes Signal, nach passieren von Shapern und Diskriminatoren, auf einem einzelnen Kupferkabel vom Detektor über die Cable Distribution Area (CDA) in den Trailer geführt, wo sich u.a. der  $z$ -Vertex-Trigger befindet. Die massive Steigerung der Anzahl Kanäle würde bei der gleichen Vorgehensweise noch mehr tote Materie nahe der Strahlachse mit sich bringen, zudem wäre der Platzbedarf um einen Faktor 10 grösser als bisher. Das waren zwei der Gründe, warum bei der Elektronik der neuen CIP ein System von Multiplexern eingesetzt werden soll.

---

<sup>1</sup>CIZ: Central Inner Z-Chamber

### 3.1 Detektorseitige Elektronik

Die Elektronik, welche sich direkt an der Kammer befindet, hat folgende Aufgaben zu lösen:

- Verstärkung der Signale
- Digitalisierung
- Multiplexen
- Elektro-optische Wandlung

Eine schematische Übersicht der Signalwege zeigt Abbildung 3.1. Die Ausgänge der CIP werden auf den CIPix-Baustein geführt, welcher im Abschnitt 3.1.1 näher beschrieben wird. Danach werden sie auf einen Multiplexer geleitet (Abschnitt 5.1.1), wodurch die Anzahl der auszulesenden Kanäle bedeutend verkleinert wird. Die Phase Locked Loop (PLL) generiert aus dem 10.4 MHz HERA Clock-Signal ein phasenstabiles 41.6 MHz Clocksignal zur Steuerung dieser zwei Bausteine.

Anschliessend wandelt der optische Hybrid die elektrischen Signale (2 Kanäle für Padsignale, 1 Kanal für 41.6 MHz Clock, 1 Kanal für analoges Testsignal) mit VCSEL<sup>2</sup> in optische Signale um. Entsprechend wird die vom Trailer ankommende HERA Clock über eine Pindiode in ein elektrisches Signal gewandelt. Um Kosten und Platz zu sparen, werden jeweils zwei Segmente von einem optischen Hybrid bedient. Für die Verbindung zum Trailer ergeben sich somit 10 optische Fasern pro Doppelsegment, die gesamthaft 80 Segmente bedürfen also 400 optischen Fasern.

Der Grund, warum für die Übertragung der Signale vom Detektor zum Trailer eine optische Verbindung gewählt wurde, ist einerseits die zu übertragende Datenrate. Der Verlust in elektrischen Kabeln ist viel zu gross — das beste Coaxkabel<sup>3</sup> weist auf 40 m eine Dämpfung von 40 dB auf — um digitale Signale mit 1 GHz zu übermitteln. Andererseits ergab sich so die Möglichkeit, die detektorseitige von der trailerseitigen Elektronik zu entkoppeln, und die tote Materie wird zusätzlich verringert.

---

<sup>2</sup>VCSEL: Vertical Cavity Surface Emitting Laser

<sup>3</sup>RG188A/U der Firma Suhner

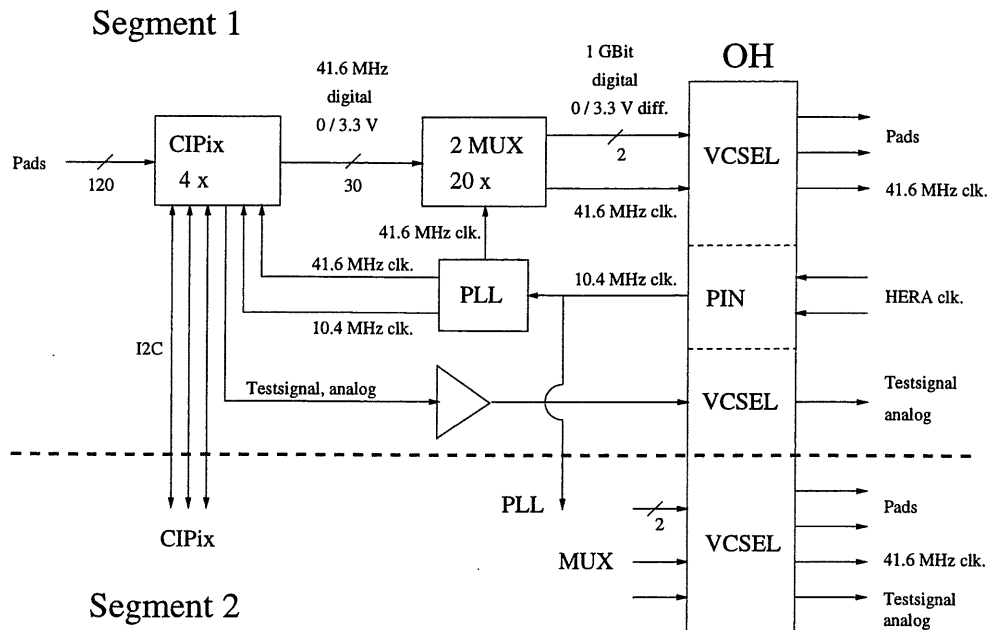


Abbildung 3.1: Detektorseitige Elektronik

### 3.1.1 CIPix

Da die Platzverhältnisse im Detektorbereich sehr beschränkt sind, wurden möglichst viele benötigte Elektronikkomponenten auf einem Chip implementiert. Dieser wurde von der ASIC-Gruppe an der Universität Heidelberg entwickelt. Die Funktionalität des CIPix-Chips ist in Abbildung 3.2 dargestellt.

Die Signale aus der CIP werden direkt auf den CIPix-Chip geführt. Dort werden sie zuerst verstärkt und passieren anschliessend einen Shaper und Diskriminator. Jede einzelne Diskriminatorschwelle kann von aussen über einen I<sup>2</sup>C-Bus<sup>4</sup> gesetzt werden. Über den gleichen Bus kann ein Kanal gesetzt werden, welcher vor Durchgang durch den Diskriminator auf den analogen Testausgang geleitet wird. Dieser Ausgang ermöglicht es, die Funktionsweise der dahinterliegenden Elektronik während des Betriebs zu überprüfen.

Die 64 Eingangskanäle pro CIPix werden zum Schluss mit einen internen

<sup>4</sup>I<sup>2</sup>C-Bus: Inter IC-Bus, zweidrahtiger Bus zur Steuerung der Bausteine, bidirectional, max. 0.4 Mbps Datenrate  
siehe auch: <http://www-us2.semiconductors.philips.com/i2c/facts/>

Multiplexer im Verhältnis 4:1 zusammengefasst, womit der Chip noch 16 digitale Ausgänge aufweist. Damit werden pro Segment 2 CIPix Bausteine benötigt. Für weitergehende Informationen siehe [CIx98].

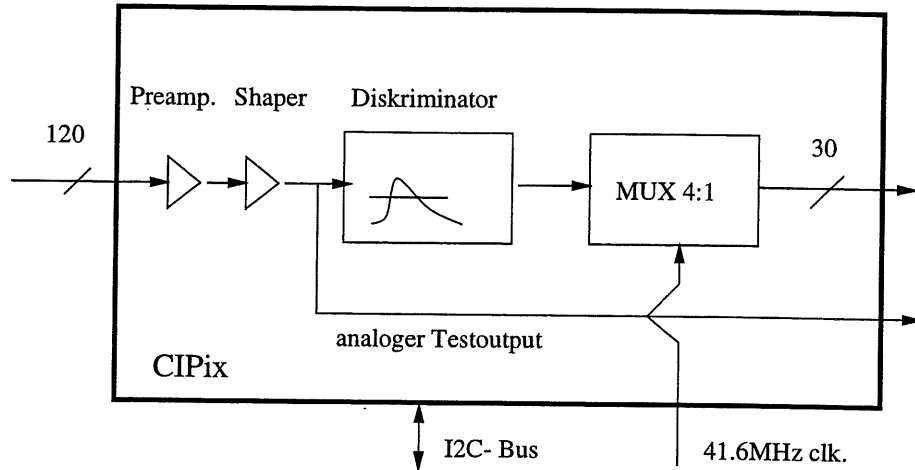


Abbildung 3.2: Funktionalität des CIPix-Chip

## 3.2 Trailerseitige Elektronik

Die optischen Signale werden nach einer Übertragungsstrecke von 40 m auf das Gegenstück des optischen Hybrids geführt und in elektrische Impulse zurückgewandelt (DeOH, siehe Abbildung 3.3). Diese werden zuerst auf einen Demultiplexer geleitet, wo sie in einem Verhältnis 1:20 parallelisiert werden. In dieser Form werden sie an die z-Vertex-Trigger Logik weitergegeben.

Die Entwicklung und der Entwurf der trailerseitigen Schaltung, welche die oben beschriebene Funktionalität aufweist, war ein Teil dieser Diplomarbeit. Eine detaillierte Beschreibung des sogenannten Demux-Board folgt im Kapitel 5.

Die räumliche Anordnung des Boards ist in Abbildung 3.4 gezeigt. Die z-Vertex-Trigger Karte ist in einem Crate untergebracht. Senkrecht zur Rückseite dieses Crates, der sogenannten Backplane, wird das Demux Board aufgesteckt. Die optischen Fasern werden parallel zur Karte herausgeführt.



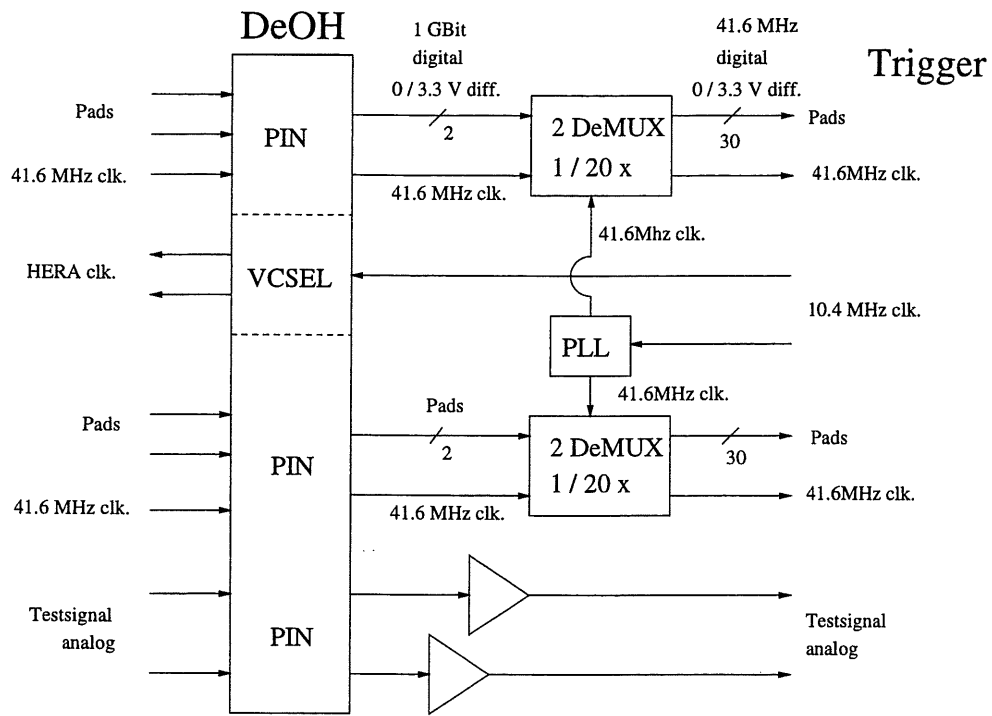


Abbildung 3.3: Trailerseitige Elektronik

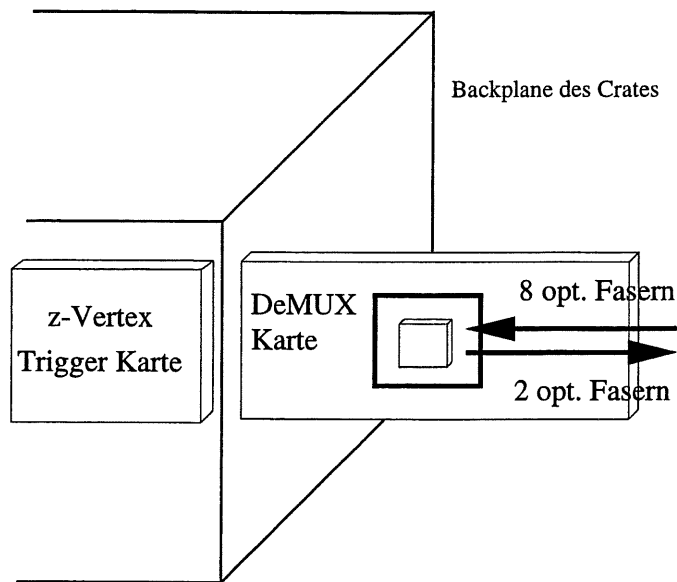


Abbildung 3.4: Räumliche Anordnung Demux Board



# Kapitel 4

## Optischer Hybrid

Für die Übertragung von optischen Signalen braucht es neben den Kabeln einen VCSEL, der das Laserlicht emittiert, und eine Pindiode um es aufzunehmen. Das heisst, dass optische Übertragungsstrecken prinzipiell nicht bidirektional betrieben werden können. Kommerzielle Lösungen, die die elektro-optische Wandlung und die Steckerverbindung anbieten, verwenden also sämtliche Fasern eines Kabels für die Übertragung in die gleiche Richtung und übertragen nur digitale Signale.

Die Anforderungen dieses Projektes haben es unmöglich gemacht, eine Fertiglösung zu verwenden. Einerseits müssen die Daten – digitale *sowie* analoge – aus der Kammer zum Trailer geführt werden, andererseits muss die HERA Clock vom Trailer eingespiessen werden. Von den 10 optischen Fasern, die pro Doppelsegment vom Detektor zum Trailer geführt werden, werden also 8 in diese Richtung und 2 in die entgegengesetzte Richtung betrieben. Deshalb wurden am PSI zwei optische Hybride entwickelt, einer für die detektor- und einer für die trailerseitige Elektronik.

- Detektorseitiger Hybrid (OH)
  - 8 VCSEL (digitale u. analoge Datenkanäle, 41.6MHz Clock)
  - 2 Pindioden (HERA Clock)
  - Leistungsaufnahme ca 1.5 W
- Trailerseitiger Hybrid (DeOH)
  - 2 VCSEL und 8 Pindioden
  - Leistungsaufnahme ca 2 W

Beide Hybride haben identische Masse  $l \times b \times h = 38.1\text{mm} \times 30.5\text{mm} \times 6.0\text{mm}$ . Die Schaltpläne hierzu befinden sich im Anhang A.

## 4.1 Mechanische Aspekte

Auf dem Hybrid müssen je zwei Chips, VCSEL und Dioden, angebracht werden. Anschliessend wird der Stecker des optischen Kabels mit Hilfe von zwei Führungsstiften positioniert. Um die beste Lichtausbeute zu erhalten, müssen die Chips relativ zu den Bohrungen für die Stifte möglichst genau ausgerichtet werden.

Folgende Probleme sind im Zusammenhang mit der Positionierung der Fasern und Chips aufgetaucht.

- Die Fasern können nicht ganz an die VCSEL und Dioden herangeführt werden, da deren Bonddrähte ca. 1 mm abstehen.
- Die zwei Chips müssen auch zueinander die gleich präzise Position aufweisen.
- Die VCSEL müssen mit einem Spezialkleber fixiert werden, der elektrisch leitend ist.
- Die Chips dürfen nicht auf dem Kleber abkippen, damit die Lichtsignale vertikal nach oben emittiert werden.
- Um nachträgliche Unterhaltsarbeiten zu ermöglichen, können die Fasern nicht fest mit dem Hybrid montiert werden.
- Das System muss mit einer Zugentlastung der Kabel vor mechanischen Kräften geschützt werden.

Der Durchmesser der Faser ist  $62 \mu\text{m}$ , der typische Beugungswinkel beim Austritt ist  $2^\circ$ . Bei einer Distanz zwischen den Chips und der Faseröffnung von 1 mm ergibt das bereits eine beleuchtete Fläche auf den Chip mit Durchmesser  $97 \mu\text{m}$ , wobei die Intensität des Lichtes vom zentralen Strahl weg schnell abfällt. Der Durchmesser der Pindioden hingegen ist  $70 \mu\text{m}$ . Damit die Übertragung der Lichtsignale zwischen den Fasern, den VCSELs und den Dioden einwandfrei funktionieren kann, müssen diese deshalb möglichst genau — wünschenswert sind weniger als  $\pm 5 \mu\text{m}$  — positioniert werden. Die oben erwähnten Stifte müssen ebenso sehr präzise ( $\pm 1 \mu\text{m}$ ) gefertigt werden, um die Position des Steckers zu fixieren.

### 4.1.1 Prototyp

Damit erste Messungen an der optischen Übertragungstrecke durchgeführt werden konnten, wurden Prototypen der Hybride hergestellt. Dabei wurden die VCSEL- und Diodenchips unter dem Mikroskop von Hand relativ zu den Bohrungen der Führungsstifte positioniert. Die so erreichte Genauigkeit der Chips ist  $\pm 10 \mu\text{m}$ , was eventuell bereits gut genug ist. Allerdings wäre eine Serienproduktion nach dieser Methode zu zeitaufwendig.

### 4.1.2 Serienproduktion

Um die Positionierung der Chips noch genauer und verlässlicher zu machen, wurde für die Serienproduktion speziell ein Positionierungswerkzeug konstruiert (Abbildung 4.1).

Das Werkzeug weist 3 Lagen auf. Die unterste bildet die Grundplatte, drehbar darüber befindet sich eine weitere Platte, die den Turm mit der Pinzette hält, und zuoberst ein runder Tisch. Beide Lagen sind unabhängig voneinander um die Mitte des Tisches drehbar. Mit den Schrauben am Tisch und an der oberen Platte kann der Drehwinkel fixiert werden. Der Turm kann auch um seine Längsachse gedreht werden, die Position wird mit der untersten Schraube an Turm fixiert. Mit Hilfe der zwei in der Mitte des Turmes angebrachten Mikrometerschrauben kann die Pinzette in beide horizontalen Richtungen verschoben werden, jene an der Oberseite des Turm bewegt die Pinzette in der Vertikalen. Um die Pinzette zu öffnen und schliessen wurde schliesslich noch eine Mutter mit konischem Schliessmechanismus angebracht.

Eine zusätzliche Änderung gegenüber dem Prototypen ergibt sich dadurch, dass die Kabel horizontal zum Hybrid ausgeführt werden müssen. Das würde heissen, dass die Chips entweder senkrecht zum Hybrid montiert werden müssten, oder dass die Lichtsignal zwischen den Chips und der Fasern mit Mikroprismen umgelenkt würden. Die Kosten der Mikroprismen — ca. SFr. 200.- pro Stück — gaben den Ausschlag für die Wahl der ersten Methode.

Die Chips werden also nicht direkt auf den Hybrid gebondet, sondern auf einem winzigen Flex-Print, der auf einem hufeisenförmigen Block aus Aluminium angebracht wird. Neben der Haltevorrichtung für die Chips dient dieser auch noch als Führung für die Stecker an den Kabelenden, wodurch die Stabilität erhöht wird (Abbildung 4.2). An der Position ändert sich nichts. Die Zugentlastung wird erreicht, indem die Aussparung im Gehäuse etwas kleiner

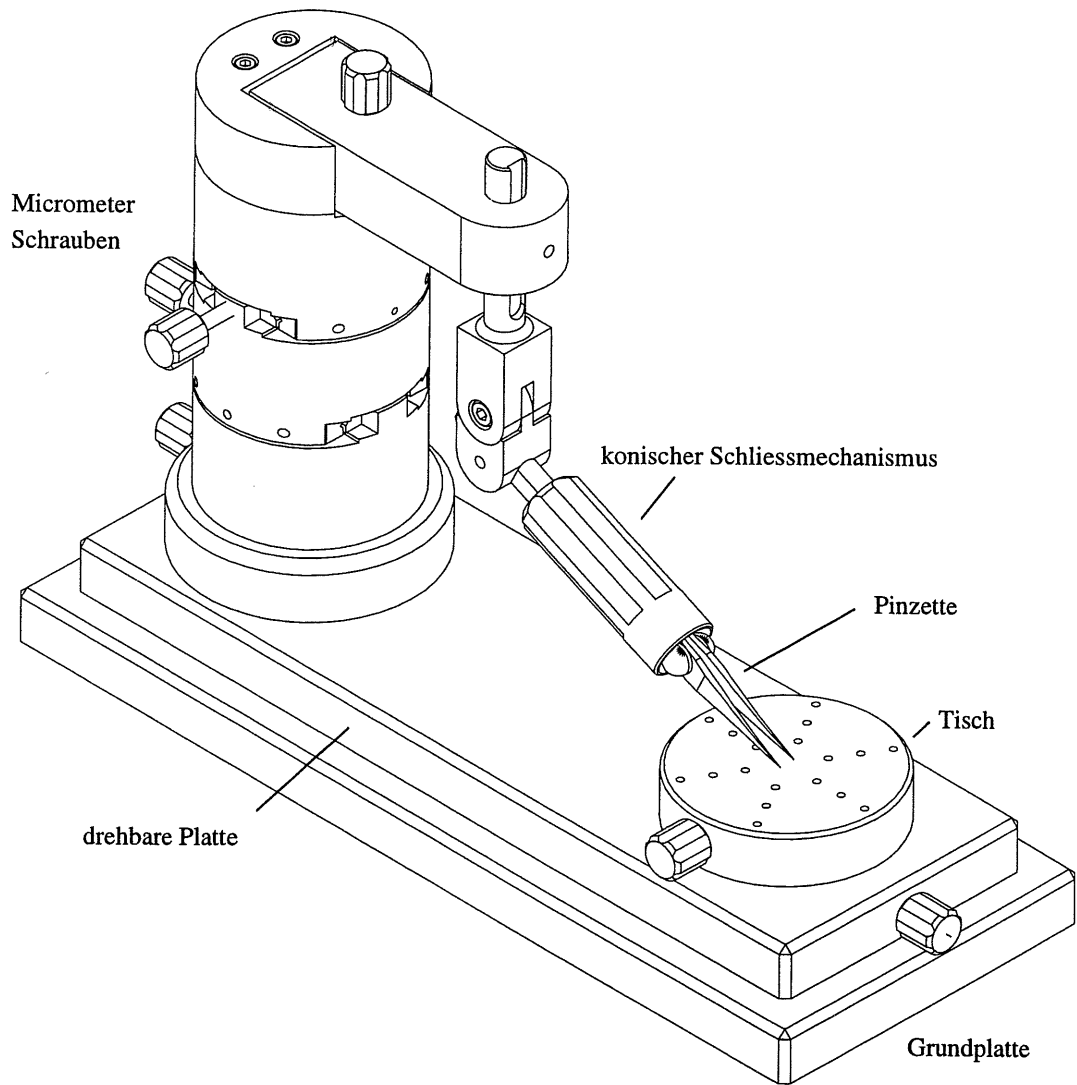


Abbildung 4.1: Positionierungswerkzeug für VCSEL- und Diodechips

als der Durchmesser des Kabels gewählt wird, sodass bei der Montage des Deckels dieser die Kabel fixiert.

### **Arbeitsablauf**

Zuerst muss auf dem Aluminiumblock eine dünne Schicht Spezialkleber aufgetragen werden. Der Block wird danach auf den runden Tisch gelegt. Die Bohrungslöcher für die Führungsstifte werden parallel zur langen Seite der Grundplatte ausgerichtet. Der in der Pinzette eingespannte Chip wird bis knapp über der Oberfläche des Aluminiumblockes herangeführt. Weiter wird die obere Platte gedreht, bis auch die Pinzette mit dem Chips parallel zu den Löchern zu liegen kommt. Schliesslich wird der Chip positioniert. Damit der Kleber schneller trocknet wird der Tisch geheizt, bevor die Pinzette gelöst wird. Zum Schluss wird der Chip gebondet. Mit diesem Ablauf sollte eine Genauigkeit der Chippositionierung von  $\pm 2 \mu\text{m}$  erreicht werden.

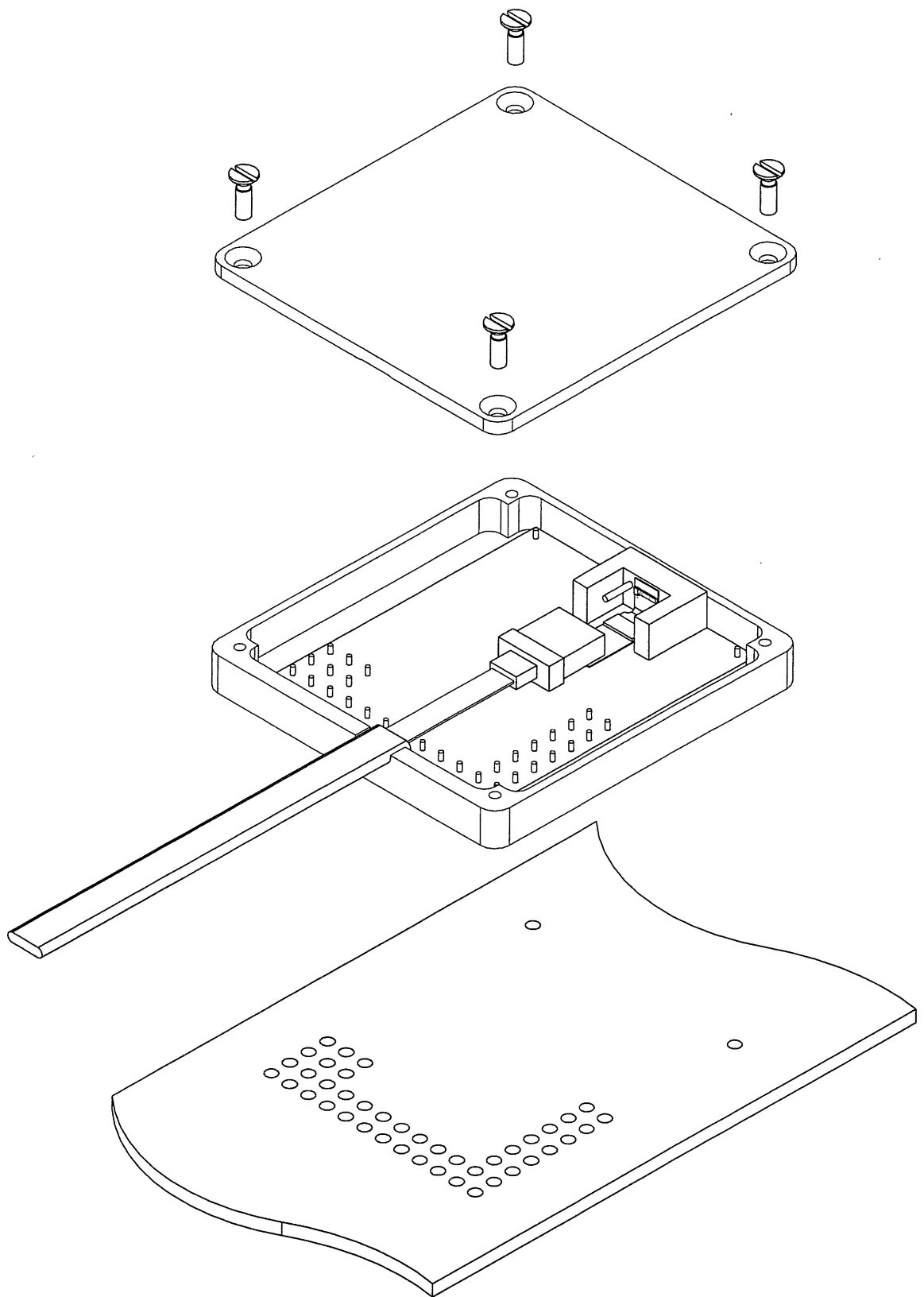


Abbildung 4.2: Anordnungen des optischen Hybrides (inkl. Gehäuse). Die unterste Lage bildet die detektor- oder trailerseitige Elektronikkarte.



# Kapitel 5

## Demux Karte

Die generelle Funktionalität der trailerseitigen Elektronik wurde in Kapitel 3.2 beschrieben. Die digitalen Signale werden nach Projektdefinition mit einer Rate von 41.6 MHz an die Triggerelektronik übergeben. Auf der Demux Karte wurde also neben der vom Projekt gebrauchten Funktionalität noch ein Zusatz entworfen, der nur für Testzwecke dient. Darauf wird einzig die Signalrate der digitalen Kanäle für die Auslese von 41.6 MHz auf 10.4 MHz verringert. Dieser Zusatz wurde so ausgelegt, dass sie ohne Aufwand abtrennt werden kann. Dadurch ergibt sich eine Zweiteilung des Demux Boards.

Um die generelle Funktionalität der trailerseitigen Elektronik zu implementieren, wurden folgende Einheiten benötigt:

- 1 DeOH
- 4 Demultiplexer 1:20
- 8 Latch
- 16 Buffer
- 1 PLL
- 1 128-poliger Stecker

Die für den Testzusatz benötigten Einheiten sind:

- 20 Demultiplexer 1:4
- 2 Flipflops
- 2 Clockverteiler
- 5 32-polige Stecker

## 5.1 Komponenten

Neben dem optischen Hybrid, der im vorigen Kapitel beschrieben wurde, wurden für die Implementierung folgende Komponenten verwendet.

### 5.1.1 Trailerseitige Elektronik

#### HP G-Link

Bei dem verwendeten Demultiplexer handelt es sich um den HDMP-1024 Baustein (Empfänger) der G-Link Serie von HP (TTL, +5 V Versorgung, max. serielle Datenrate 1.5 Gbit/s, Leistungsaufnahme 2.5 W). Entsprechend wurde auf der Detektorseite dessen Gegenstück, der HDMP-1022 (Sender), verwendet. Diese ICs arbeiten nur gemeinsam, da sie ein eigenes Übertragungsprotokoll verwenden. Die darin enthaltenen Steuersignale dienen dem Empfänger zuerst zur Frequenzbestimmung der Datenübertragung, danach muss noch die Phase der internen PLL abgeglichen werden. Dieses Faktum macht es unmöglich, die Bausteine unabhängig voneinander zu testen.

Der Multiplexer fasst die eintreffenden Signale in einen Verhältnis 20:1 zusammen, d.h. am Ausgang beträgt die Datenrate 832 MHz. Mit den oben erwähnten Steuersignalen ergibt das eine effektive Signalrate über die optische Verbindungsstrecke von 998 MHz.

Neben den Datenkanälen werden auch verschiedene Steuersignale ausgeführt. Die Beschreibung der Signale findet man im Datenblatt von HP [HP97].

#### Latch

Ein Latch<sup>1</sup> ist aus einer Reihe von Flipflops zusammengesetzt. Die Signale am Eingang werden vom Baustein gespeichert und synchron mit einem Clocksignal ausgegeben. Damit wird erreicht, dass alle Signale, die den gleichen Latch passiert haben, phasenstarr sind. Der verwendete SN74LVC16374 Baustein von Texas Instruments (CMOS, +3.3V Versorgung) hat 16 interne Flipflops.

---

<sup>1</sup>latch: engl. einklinken

### **Buffer**

Zwei verschiedene Typen von Buffer wurden verwendet. Das kommt davon, dass gewisse Bausteine mit differentiellen Eingangssignalen versorgt werden müssen. Dort sind Bausteine der LVEL-Serie (ECL, +3.3 V) der Firma Motorola eingesetzt. Anderenorts wurden Verstärker der Firma Maxim verwendet (MAX4212, +3.3 V Versorgung).

### **PLL**

Die Anforderungen an die PLL waren, dass sie mindestens 4 Clockausgänge hat, um die Demultiplexer zu bedienen. Zudem war es wünschenswert, die einzelnen Clocksignale gegeneinander zu verzögern, um Laufzeitunterschiede auf dem Board auszugleichen. Aus diesen Gründen wurde der QS5V993-5Qi Baustein der Firma Quality Semiconductor ausgewählt (+3.3 V Versorgung, Frequenzmultiplikationsfaktor 0.25 - 4).

### **Stecker**

Um die Karte mit der z-Vertextrigger-Elektronik zu verbinden, wird ein Erni STV-RD128 Stecker verwendet.

## **5.1.2 Testzusatz**

### **Flipflop**

Verwendet wurde der SN74LVC74A Baustein von Texas Instruments (CMOS, +3.3 V Versorgung). Die Eingänge sind 5 V tolerant, die maximale Arbeitsfrequenz liegt bei 150 MHz.

### **Clockverteiler**

Der Baustein CGS2535V von National Semiconductor (CMOS, +3.3 V Versorgung) kann 16 Ausgänge (50  $\Omega$ , 25 pF) treiben. Die Eingänge sind 5 V tolerant und die minimalen Anstiegszeiten liegen bei 1 ns.

### **Demultiplexer 1:4**

Der PI3B3253 BusSwitch von Pericom Semiconductor (CMOS, +3.3 V Versorgung) enthält zwei 1:4 MUX/DEMUX Schaltelemente.

## 5.2 Schaltung

Alle Referenzen zu Bausteinen und Signalnamen beziehen sich auf die Schaltung im Anhang C. Dabei gibt die Zahl in der Klammer das Blatt an, auf welchem sich das Element befindet.

### 5.2.1 Signalwege

#### Digitale Kanäle

Die digitalen Datenkanäle des optischen Hybrids (5, OH-DEHIM1± - 4±) geben 4 differentielle Signale aus. Je eines davon wird auf einen Buffer geführt (1, M1:B). Vom Buffer wird das Signal in den Demultiplexer eingespielen (1, U1). Die daraus resultierenden 20 Ausgänge (1, D0-19) werden auf zwei Latch verteilt (1, U2/3), bevor sie auf den Stecker geführt werden (5, U17).

Die Verwendung eines Buffers zwischen dem optischen Hybrid und dem Demultiplexer soll letzteren vor einem Übersteuern schützen. Falls die Signale aus dem Hybrid aus irgendwelchen Gründen den erlaubten Eingangspegel des HP-Bausteins übersteigen sollten, würde so nur der Buffer Schaden nehmen. Zudem werden die elektrischen Systeme des optischen Hybrid und des Demultiplexers durch den Buffer so weit wie möglich entkoppelt.

Die eingesetzten Latches dienen ebenfalls dieser Schutzvorrichtung. Hier ist das von noch grösserer Bedeutung, da die Pins des Demultiplexers sonst direkt mit den Stecker verbunden wären, womit ein Übersteuern ausserhalb der Kontrolle liegt. Zudem wird der Latch verwendet, sämtliche an die Trigerelektronik zu übergebende Signale phasenstarr zu halten.

#### Analoge Kanäle

Die analogen Datenkanäle des optischen Hybrids (5, An. Testout1± - 2±) werden ebenfalls zuerst auf einen Buffer geführt, wobei die zwei differentiellen Kanäle weiterhin als 4 separate Signale verarbeitet werden. Daraus ergibt sich der Einsatz von 4 einzelnen Buffern (5, U18-21). Die Ausgänge der Buffer gehen direkt auf den Stecker.

Die Versorgung dieser Buffer erfolgt über einen Tiefpassfilter (5, z.B. L10 u. C116). Dieser ist notwendig, da die hohen Frequenzen der in der Elektronik auftretenden digitalen Signale sich zwangsläufig auch in der Versorgung wiederfinden. Der Tiefpassfilter sollte das Übersprechen auf die analogen Kanäle

aber minimieren.

### **HERA Clock**

Die HERA Clock wird redundant auf dem Stecker geführt (5, HCLKIN1-2). Beide Signale werden wiederum über einen Buffer (5, U26-27) geleitet. Eines wird verwendet, um die auf der Karte angebrachte PLL zu betreiben, das andere geht auf den optischen Hybrid (5, OH-DEHIM) und von dort aus an die detektorseitige Elektronik übermittelt.

### **41.6 MHz Clock (STROB) aus dem Multiplexer**

Auch die 41.6 MHz Clock Signale des Multiplexers gehen vom Hybrid zuerst auf einen Buffer (5, U22-23), bevor sie zum Demultiplexer geführt werden. Der STROB Ausgang des Demultiplexers (1, U1 Pin 35) wird einerseits verwendet, um die Latch zu steuern, andererseits wird er über einen weiteren Buffer (1, U4) auf den Stecker geführt. Dieses Signal ist die Referenz Clock für die Triggerelektronik.

## **5.2.2 Steuerung**

### **PLL**

Die Verzögerungen der vier verwendeten Clockausgänge der PLL können mit den Jumpfern J44-J49 eingestellt werden. Da die PLL mit der HERA Clock betrieben wird, am Ausgang jedoch eine vierfache Frequenz benötigt wird, müssen die Jumper J48 und J49 auf HIGH-HIGH gesetzt werden. Die Jumper J44 und J45 verschieben das Signal an den Ausgängen PLL-41.6CLK1&2, J46 und J47 entsprechend PLL-41.6CLK3&4.

### **Demultiplexer 1:20**

Die interne PLL des Demultiplexers muss mit einer Referenzclock betrieben werden. Hier sind drei Möglichkeiten vorgesehen. Einerseits kann das oben beschriebene Signal DEHIM-CLKOUT1 (STROB) eingespiessen werden, welches über die optische Verbindung vom Multiplexer auf der detektorseitigen Elektronik übertragen wird. Diese Lösung gewährleistet, dass die Laufzeiten der Datenkanäle und der Referenzclock übereinstimmen. Für Testzwecke wurden zudem andere Optionen implementiert. Eine zusätzlich auf dem Board aufgebrachte PLL generiert das Signal PLL-41.6CLK1, das als Alternative eingespiessen werden kann. Über eine Loetbrücke kann das gewünschte Eingangssignal selektiert werden. Mit einem zusätzlichen Jumper (1, J2)

kann der herkömmliche Clockeingang (1, U1 Pin 15) deaktiviert werden, so dass über eine Lemo-Steckerverbindung (1, J1) eine externe Clock zugeführt werden kann.

### 5.2.3 Testzusatz

#### Flipflops und Clockverteiler

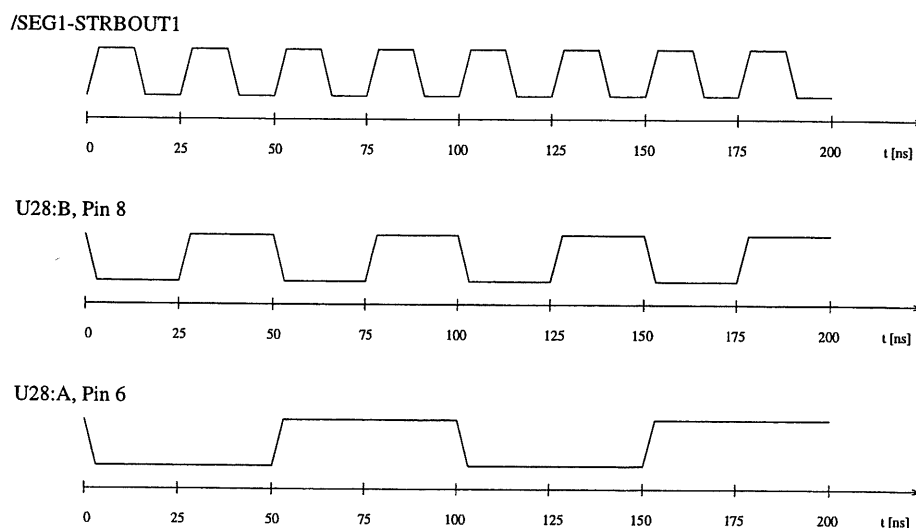


Abbildung 5.1: Der Kanal /SEG1-STRBOUT1 zeigt die 41.6 MHz Clock, die unteren Signale sind die invertierten Ausgänge der zwei Flipflops.

Um das Board unabhängig von der Triggerelektornik testen zu können, mussten die gemuxten Datenausgänge à 41.6 MHz wieder auf 10.4 MHz parallelisiert werden. Aus der 41.6 MHz Clock (6, SEG1-STRBOUT1) wurde eine 10.4 MHz- und 20.8 MHz-Clock erzeugt, um die Demultiplexer 1:4 (7, U31-50) zu steuern. Diese leiten das eintreffende Datensignal entsprechend der 2 bit Logik aus der folgenden Tabelle an einen der 4 vorhandenen Ausgänge.

Eingang 1	Eingang 2	Ausgang
0	0	1
0	1	2
1	0	3
1	1	4

Diese Logik wird durch die oben erwähnten Clock Signale generiert, die durch zwei in Serie geschaltete Flipflops (6, U28:A/B) erzeugt werden. Abbildung

5.1 zeigt den Signalverlauf. Sobald die Karte versorgt wird, werden die Flipflops initialisiert, sodass beide Q-Ausgänge (5, U28 Pin 5&9) auf LOW gesetzt werden. Die erste ansteigende Flanke der 41.6MHz erzeugt die gezeigten Signale. Die zwei Ausgänge werden von 2 Clockverteilern (6, U29/30) auf die Demultiplexer 1:4 weitergeleitet. Die Komponenten J51-55 symbolisieren die Stecker, an denen die Padsignale wieder mit der bei HERA üblichen Frequenz von 10.4 MHz ausgelesen werden können.

## 5.3 Layout

### 5.3.1 Lagenaufbau

Um die hochfrequenten Signale möglichst gut voneinander abzuschirmen, kam als einzige Option eine Multilayerkarte in Frage. Folgende Lagen wurden verwendet:

- TOP : Signallage
- GND : Massenlage
- +3V3 : Massenlage, Spannungsversorgung
- +5V : Massenlage, Spannungsversorgung für die HP-Bausteine
- BOTTOM : Signallage

Eine Massenlage bezeichnet eine durchgehende Kupferschicht. Die einzigen Aussparungen sind um jene Bohrungen gelegt, die keine Verbindung zu dieser Lage aufweisen sollten. Die Massenlagen dienen dazu, die Induktivität der Leiter zu minimieren. Bei Stromaufnahme wird so auch die Wellenbildung und Ausbreitung auf der Versorgungsleitung reduziert. Bis auf wenige Ausnahmen konnten alle Signale auf den Schichten TOP und BOTTOM untergebracht werden. Bei diesen Ausnahmen handelt es sich ausschliesslich um Clocksignale. Eine Abbildung dieser Schichten findet man im Anhang D.

### 5.3.2 Entkopplung

Die grösste Schwierigkeit bei der Realisation dieser Karte waren die darauf enthaltenen Signalfrequenzen. Sämtliche digitalen Signale haben Frequenzen von mindestens 40 MHz, die Demultiplexer arbeiten sogar mit GHz-Pulsen. Das bedeutet dass die kürzesten Anstiegszeiten (20%-80% der Pulshöhe) ca. 150 ps betragen. Die interne Logik der Bausteine wird also mit den gleichen

Frequenzen die Versorgungsspannung belasten, was ein lokales Absinken der Spannung auf der Masselage bewirkt. Diese stellt damit kein Äquipotential mehr dar und die Abschirmung geht weitgehend verloren.

Um diesen Effekt zu verhindern werden die Versorgungspins der schnellen Baustein kapazitiv abgeblockt. Bei einer kurzen Stromaufnahme kann dieser jetzt vom Kondensator geliefert werden. Der Kondensator wird danach wieder langsam über die Masselage aufgeladen. Die sogenannten Abblockkapazitäten müssen möglichst nahe am Baustein platziert werden, falls möglich direkt auf der Rückseite. Damit wird die Zuleitung sehr kurz gehalten, das Risiko, dass das System zu schwingen beginnt wird dadurch minimiert.

Der typischen Arbeitsbereich eines Kondensator hängt stark vom Typ und der Frequenz ab. Die Frequenzen der Eingangssignale des HP Bausteins sind über das ganze Spektrum verteilt. Deshalb wurden dort zwei verschiedene Abblockkapazitäten angebracht. Die 100 nF Keramikkondensatoren arbeiten sehr schnell, die langsameren Stromstöße werden zusätzlich von 1.5  $\mu$ F Tantalkondensatoren ausgeglichen. Bei den übrigen Bausteinen wurde auf die Tantalkondensatoren verzichtet, da diese auch viel mehr Platz einnehmen als die Keramikbausteine.

Unterhalb aller Bausteine wurde konsequent eine Kupferschicht gelegt, die mit der GND Masselage verbunden ist. Einerseits wird dadurch wiederum die Eigeninduktivität minimiert, andererseits kann so etwas Wärme vom Baustein abgeführt werden.

Wie bereits bei den Verarbeitung der analogen Signale angesprochen wurden, mussten auch die Versorgungen einiger Bausteine speziell angeordnet werden. Dabei handelt es sich um alle Bausteine, die eine explizite Trennung der digitalen und analogen Versorgung aufweisen. Die analogen Versorgungen wurden immer mit Tiefpassfiltern von den Masselage getrennt, sodass eventuell auftretende schnelle Pulse nicht auf die analoge Versorgung übertreten.

### 5.3.3 Impedanzleitungen

Falls die Impedanz einer Leiterbahn nicht mit dem Eingangswiderstand des Bausteines übereinstimmt, wird ein Teil des Signals reflektiert. Bei langsamen Pulsen ist dieser Effekt nicht sehr bedeutend, da die Laufzeit des Signals typischerweise viel kleiner ist als die Anstiegszeit des Pulses. Bei schnelleren



Signalen hingegen müssen die Leitungen also möglichst kurz gehalten und die Impedanz der Leiterbahn richtig gewählt werden.

Auf den Leitungen vom optischen Hybrid zum HP Demultiplexer werden die schnellsten Pulse des Boards vorkommen. Eine Frequenz von 1 GHz entspricht einer Pulsanstiegszeit von 150 ps. Bei einer typischen Ausbreitungsgeschwindigkeit von 0.1 ns/cm sind Reflexionen bereits bei einer Leiterlänge von 1.5 cm zu beachten. Wegen der Geometrie der HP-Bausteine weisen diese Bahnen eine Länge zwischen 5 cm und 8 cm auf. Deshalb war es von äusserster Wichtigkeit, die Impedanzen der Leitungen anzupassen.

Die Geometrie einer Microstripline zeigt Abbildung 5.2. Beim verwendeten Isolationsmaterial handelt es sich um Glasepoxy FR4 ( $\epsilon_r \simeq 4.8$ ) einer Dicke  $d = 0.25$  mm, die Höhe der Kupferbahn beträgt  $t = 35$   $\mu\text{m}$ . Da die HP Bausteine einen Eingangsabschluss von  $50 \Omega$  aufweisen, müssen auch die Leitungen diese Impedanz haben. Dafür wurde folgende Formel verwendet [Blo72].

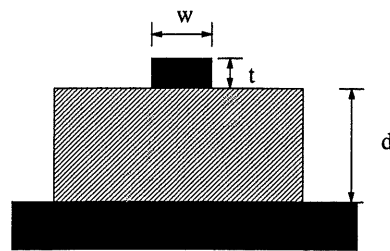


Abbildung 5.2: *Microstrip*

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left( \frac{5.98d}{0.8w + t} \right) \quad (5.1)$$

Um die gewünschte Impedanz zu erhalten, musste die Leiterbahnenbreite 0.51 mm gewählt werden.



# Kapitel 6

## Messungen und Simulation

### 6.1 Messungen am Demux Board

Aus im Abschnitt 5.1.1 erwähnten Gründen, waren die möglichen Messungen am Demux Board sehr beschränkt. Einzig die Funktionalität der PLL konnte überprüft werden.

#### 6.1.1 Laufzeit- und Jittermessungen an der PLL

Es galt herauszufinden, wie sich die Laufzeiten der verschiedenen Clockausgänge verzögern lassen. Der gemessene Phasenjitter des Bausteines ist der Fehler dieser Laufzeit, d.h. er ist ein Mass für die Stabilität des Clock Signals.

#### Messaufbau

Über eine LEMO-Buchse (6, J56) wurde ein 10 MHz Clocksignal eingespielen. Dieses Signal führt über den Buffer MAX4212 auf die PLL. Die gemessenen Signale REF, 1Q0 und 2Q0 wurden direkt am Eingang resp. Ausgang der PLL abgegriffen. Die Messungen wurden mit 3 verschiedenen Zeitverzögerungen durchgeführt (siehe Abschnitt 5.2.2). Diese können mit den Jumpereinstellungen (5, J44-49) gesetzt werden. Zudem wurde die Versorgungsspannung um  $\pm 10\%$  variiert.

Folgende Messgeräte wurden verwendet:

- 2 Kanal Oszilloskop, HP 54720D, 2.5 GHz mit Sonden 10:1, 100 k $\Omega$ , 0.6 pF
- Netzgerät Dr. K. Witmer, Typ IC 35/4 Autorange, 0-35 V / 0-4 A

- Labornetzgerät, Eigenproduktion ETH, 0-15 V / 0-2 A
- Pulsgenerator, TTI TG1010, Programmable 10 MHz DDS Function Generator

### Ergebnisse

Abbildung 6.1 zeigt das Resultat der Messung am Ausgang 1Q0. Die Verzögerungen der Signale entspricht der im Datenblatt [QUS98] genannten Werten. Durch die Jumpereinstellung 1F0:1 kann das Signal in Schritten von 1 ns verschoben werden. Es resultiert eine maximale relative Verschiebung von 8 ns (1F0:1=LL bis HH). Die Resultate an den übrigen Ausgängen der PLL ergaben das gleiche Bild.

Es fällt auf, das die Laufzeiten der Signale sehr stark mit der Versorgungsspannung variieren. Die Verschiebung des Clocksignals von bis zu  $\pm 2$  ns entspricht 2 Periodenzeiten des 1 GHz Datenkanals. Daraus folgt dass die Versorgungsspannung für einen stabilen Betrieb möglichst konstant gehalten werden muss. Der Phasenjitter hingegen – Fehlerbalken im Diagramm – waren konstant um 80 ps herum, im Vergleich zu den Schwankung durch die Spannungsänderung vernachlässigbar.

## 6.2 Simulation der ECL Bausteine

### 6.2.1 Gliederung

Im Abschnitt 5.1.1 wurde erwähnt, dass ECL-Bausteine eingesetzt wurden, welche nach Datenblatt [MOT96] mit einer Signalanstiegszeit (20%-80%) von 180 ps am Eingang und Ausgang arbeiten können. Nach Inbetriebnahme wurde am Ausgang des ersten ECL Bausteins eine Anstiegszeit von 500 ps gemessen, weshalb im Nachhinein eine Simulation des ICs gemacht wurde.

Simuliert wurde der MC100LVEL17 Baustein der Firma Motorola [MOT97]. Die Simulation wurde mit Cadence, SpectreS-Spice durchgeführt.

Der Baustein kann prinzipiell aufgeteilt werden in:

- parasitäre Kapazität und Induktivität
- Diodenschutzvorrichtung
- Inputlogik

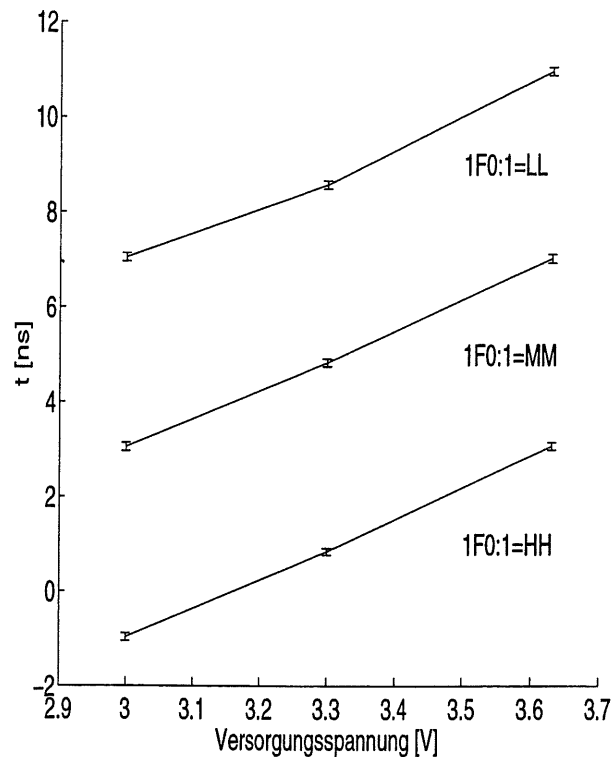


Abbildung 6.1: Laufzeit des Clocksignals durch die PLL, Ausgang 1Q0, für 3 verschiedene Verzögerungen. Die Fehlerbalken zeigen den Jitter.

- Outputlogik

Diese Gliederung wird in Abbildung 6.2 gezeigt, wobei auf der rechten Seite die Diodenschutzvorrichtung und parasitäre Kapazität und Induktivität nocheinmal erscheinen. Die parasitäre Komponente (Abbildung 6.3) modelliert die Bonddrähte, Gehäuse, etc. Die eingesetzten Werte liegen — als realistische Werte — 20% unter jenen aus dem entsprechenden Datenblatt ( $C = 1.5 \text{ pF}$ ,  $L = 3.0 \text{ nH}$ ) und wurden in der Modellbeschreibung vorgeschlagen. Der Input- und Outputlogik ist ein Transistormodell unterlegt (Abbildung 6.4).

Sämtliche Spannungsquellen sind niederohmig.  $V_{CC}$  (0 V) und  $V_{EE}$  (-3.3 V) entsprechen der oberen und unteren Versorgungsspannung.  $V_{CSIN}$  (-2.4 V) und  $V_{CSOUT}$  (-2 V) werden im Baustein generiert und nur in der Simulation extern zugeführt. Ein differentielles Pulssignal zwischen -1.9V und -0.5V wurde eingespielen. Die Ausgänge des Bausteins sind über einen  $50 \Omega$  Widerstand mit  $V_{EE}$  verbunden.

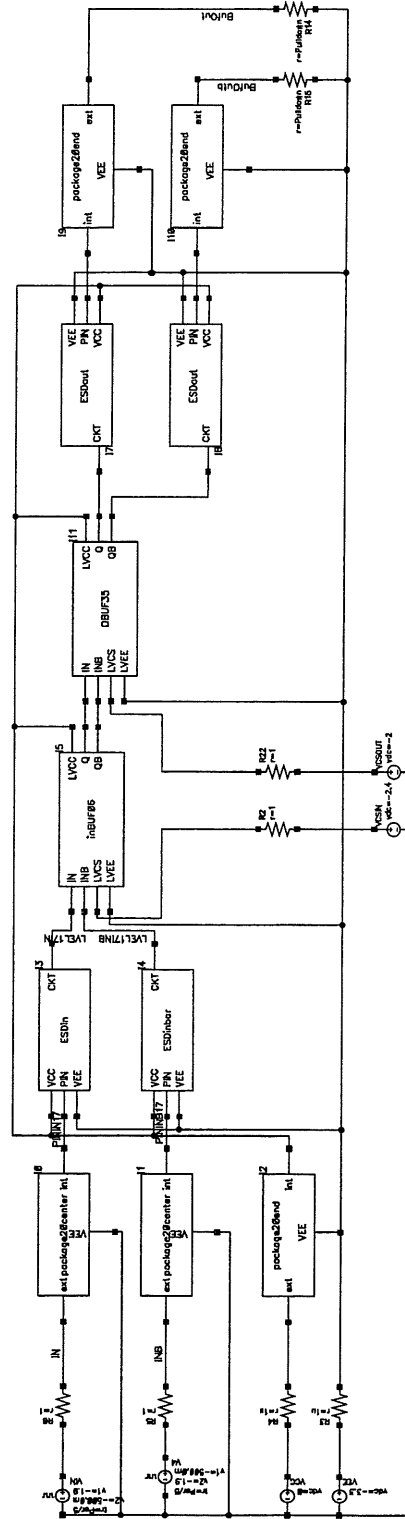


Abbildung 6.2: Simulationsmodell des MC100LVEL17

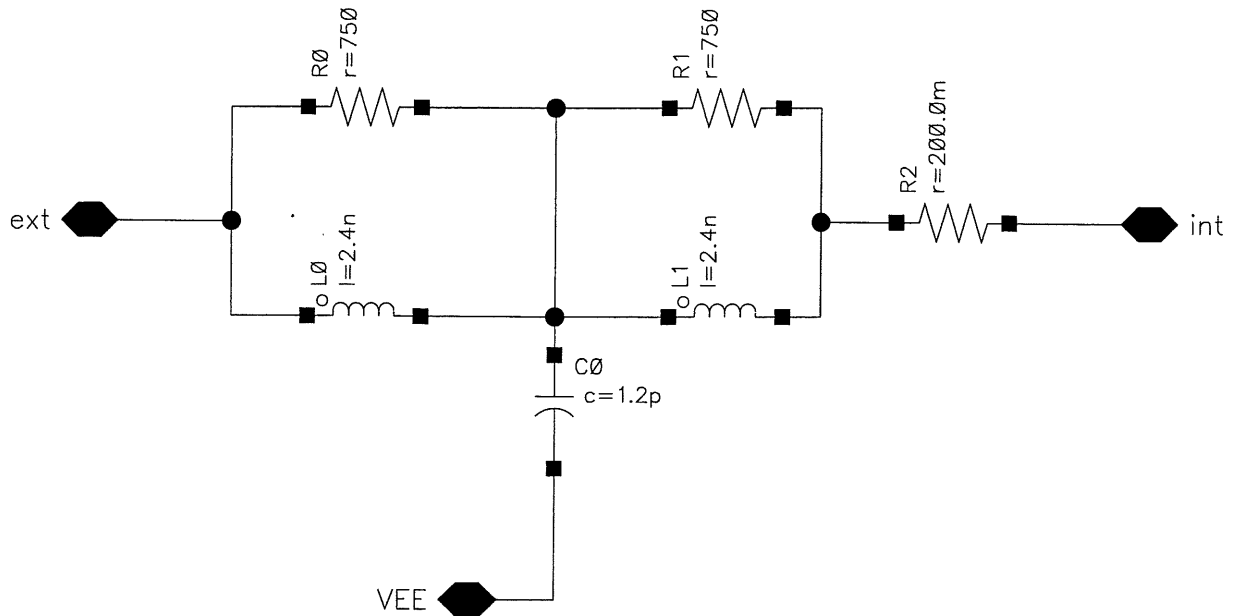


Abbildung 6.3: Parasitäre Kapazität und Induktivität des MC100LVEL17

### 6.2.2 Ergebnisse

Um die maximale Frequenz zu finden, die der Baustein verarbeiten kann, wurden Eingangspulse zwischen 50 MHz und 1 GHz simuliert. Die Ergebnisse sind in Abbildung 6.5 bis 6.8 dargestellt. Die Signale /IN und /INB zeigen das differentielle Eingangssignal, /BufOut und /BufOutb entsprechend die Ausgangssignale.

Aus den Graphen geht deutlich hervor, dass die Arbeitsweise des Bausteins bei 50 MHz richtig simuliert wird. Die Signalform stimmt mit derjenigen am Eingang überein, die Amplitude aus Ausgang entspricht dem, was von einem ECL-Baustein erwartet wird ( $\sim 800$  mV p-p<sup>1</sup>).

Ein ähnliches Bild zeigt Abbildung 6.6, wo mit 200 MHz Pulsen simuliert wurde. Die Signalform ist schon bedeutend schlechter als bei 50 MHz, doch die Anstiegszeiten der Signale entsprechen denen am Eingang, die Amplitude ist wie oben  $\sim 800$  mV p-p.

Bei 500 MHz Eingangspulsen (Abbildung 6.7) zeigt sich schon die Grenze der

<sup>1</sup>p-p: peak-peak, max. Amplitude

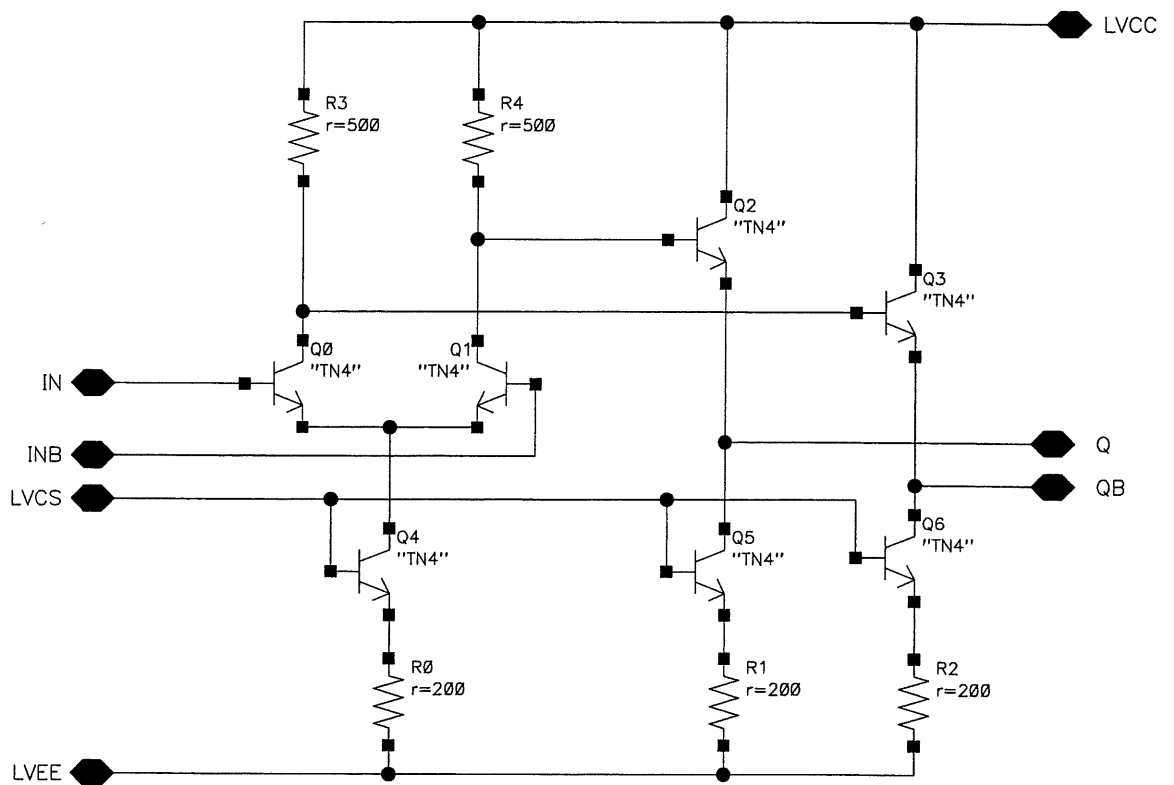


Abbildung 6.4: Inputlogik MC100LVEL17



Leistungsfähigkeit des Bausteins auf. Obwohl das Signal am Ausgang immer noch deutlich oszilliert, ist die Amplitude auf  $\sim 400$  mV p-p gesunken. Da die Anstiegszeiten am Eingang zu kurz sind, hat die Logik des Bausteins nicht genug Zeit, um die volle Amplitude aufzubauen. Mit diesem 400 mA Signal könnte zwar noch ein weiterer ECL Baustein betrieben werden, es würde aber auf keinen Fall von einer TTL Logik verstanden.

Die Simulation mit 1 GHz Pulsen bestätigt diese Interpretation. Das Signal am Ausgang oszilliert mit der gleichen Frequenz, allerdings ist die Amplitude nur noch bei  $\sim 200$  mV p-p (Abbildung 6.8).

Auf der Demux Karte befindet sich der MC100LVEL17 Baustein (1, M1:B) zwischen dem optischen Hybrid und dem HP Demultiplexer, der  $50 \Omega$  Abschlüsse an den Eingängen hat. Die bei 1 GHz gelieferte Signalhöhe von  $\sim 200$  mV p-p reicht nicht aus, um die TTL Logik des HP Bausteins zu steuern. Daraus folgt dass der Einsatz der Bausteine an der geplanten Stelle unbrauchbar ist.

Die Signale, die direkt aus dem optischen Hybrid kommen, weisen aber auch nur eine Amplitude von  $\sim 100$  mV p-p auf, sodass die Buffer nicht einfach weggelassen und die Signale direkt auf die Demultiplexer geführt werden können. Anstelle des MC100LVEL17 Bausteins muss also ein Baustein eingesetzt werden, der LVDS<sup>2</sup> Pulse in TTL Pulse wandelt. Ein solcher Baustein wird z.Z. noch gesucht.

## 6.3 Messung der optischen Übertragungsstrecke

Um die Funktionalität der beiden Hybride testen zu können, wurde eine spezielle Karte entworfen. Die Schaltpläne der Karte befinden sich im Anhang B.

### 6.3.1 Messgeräte

- 2 Kanal Oszilloskop, HP 54720D, 2.5 GHz mit Sonden 10:1, 100 k $\Omega$ , 0.6 pF
- LeCroy 9109, Arbitrary Function Generator, Rechtecksignale bis 40 MHz

---

<sup>2</sup>LVDS: Low Voltage Differential Signaling

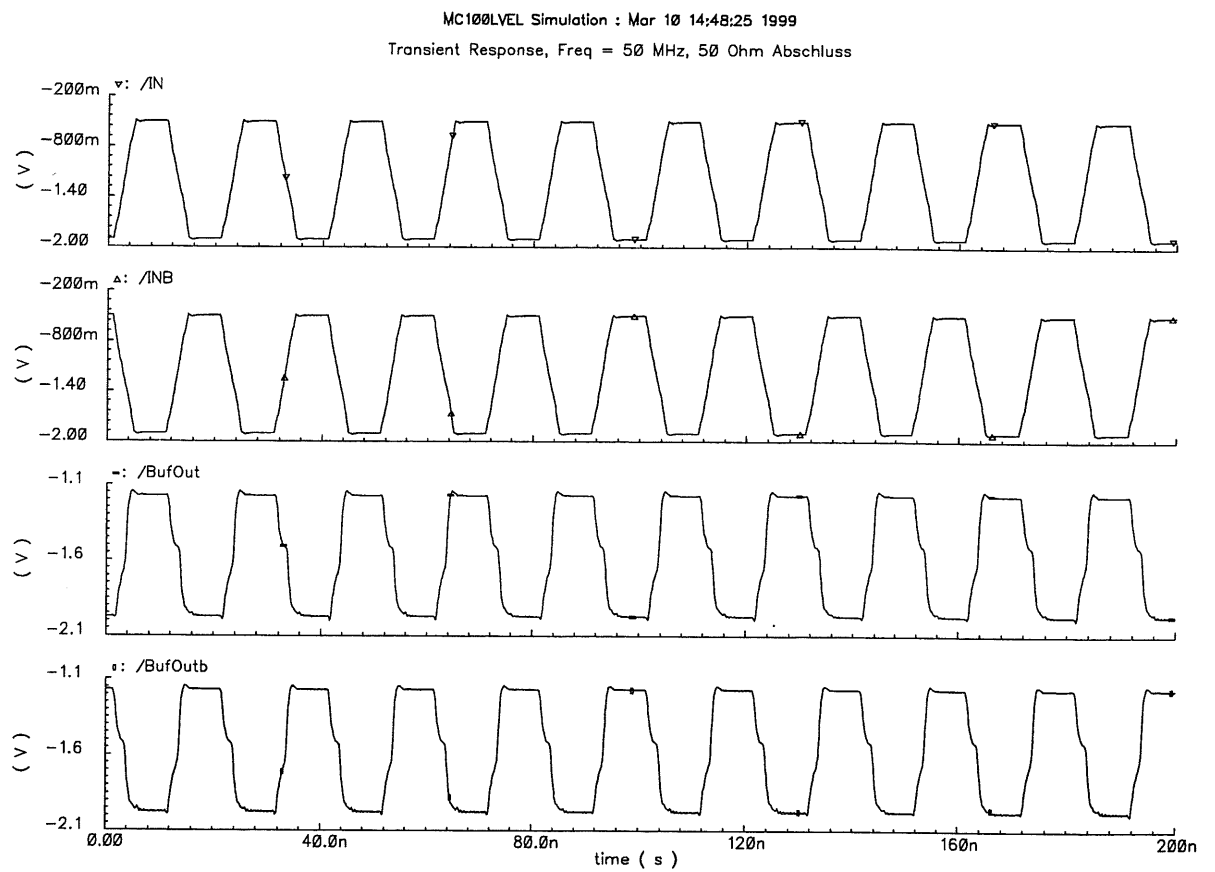


Abbildung 6.5: Signalverlauf durch MC100LVEL17, Eingang 50MHz Rechteckpuls

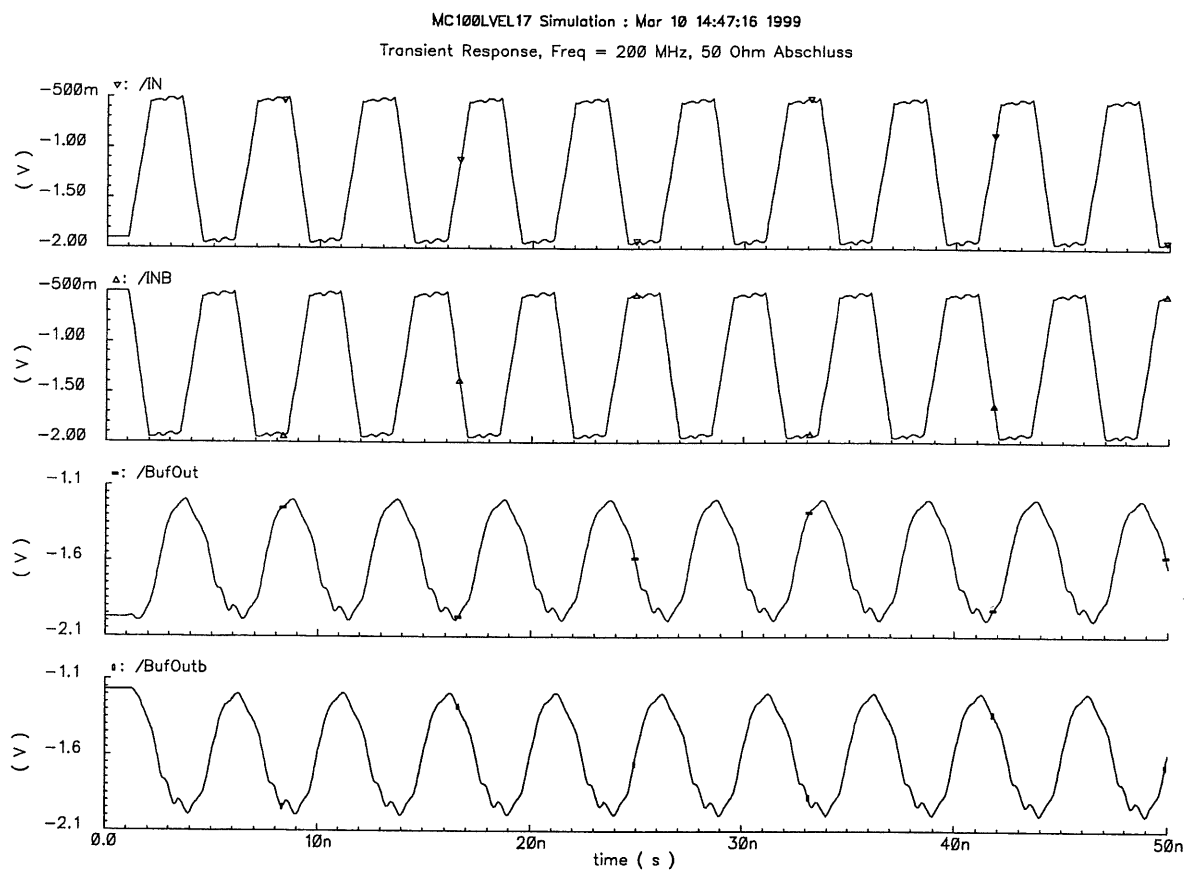


Abbildung 6.6: Signalverlauf durch MC100LVEL17, Eingang 200MHz Rechteckpuls

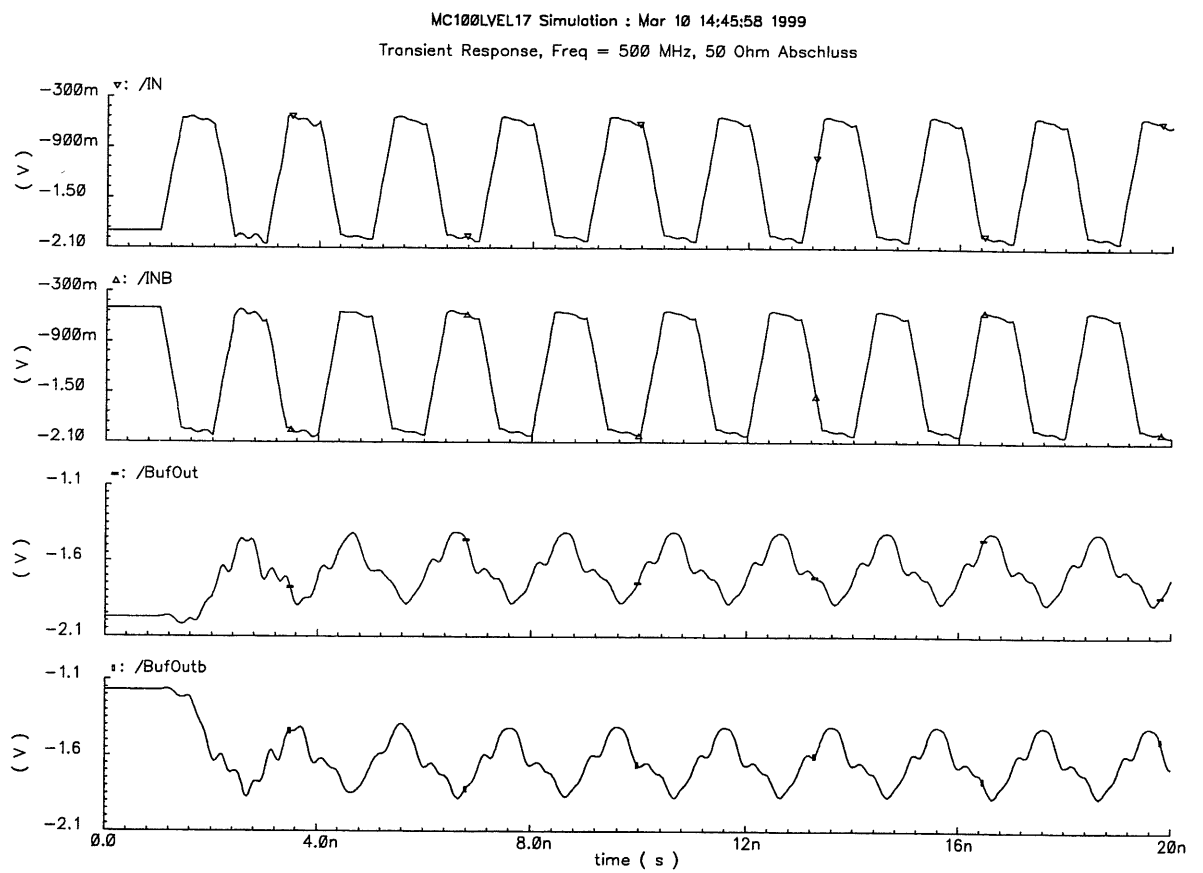


Abbildung 6.7: Signalverlauf durch MC100LVEL17, Eingang 500MHz Rechteckpuls

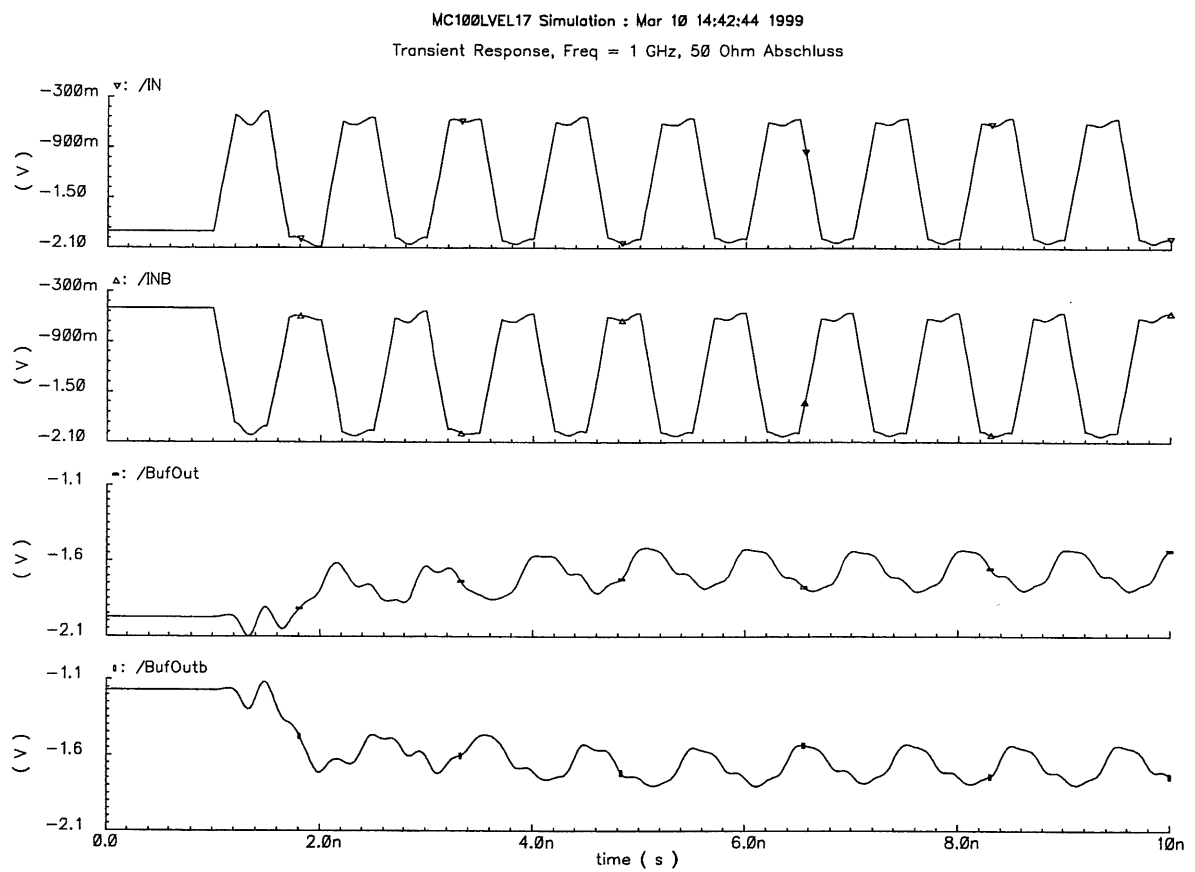


Abbildung 6.8: Signalverlauf durch MC100LVEL17, Eingang 1GHz Rechteckpuls

- Fluke 6060A, Synthesized RF Signal Generator, 100 kHz - 1050 MHz Sinus
- Voltcraft ME-32 Multimeter für DC Messungen
- Wandel & Goltermann WG OLP-5, Optical Power Meter, +10 dBm max.,  $\lambda = 850$  nm

### 6.3.2 Messungen am OH

Da die gesamte optische Übertragungsstrecke mit den beiden Hybriden eine zu komplexe Einheit dargestellt, wurde zuerst nur die Sendeeinheit (OH) vermessen. Die Karte wurde in einer Probestation montiert, sodass Messungen direkt auf den Pads der VCSEL und dessen Treiberchip gemacht werden konnten. Zu einem späteren Zeitpunkt wurde das optische Kabel dazugekommen, um mit dem Lichtleistungsmessgerät das Verhalten der VCSEL zu studieren.

Der Schaltungsaufbau auf den Seiten 6 und 8 (Anhang B), der ursprünglich für die Erzeugung eines Hochfrequenten Signals ( $\sim 1$  GHz) eingesetzt werden sollte, erwies sich als überflüssig, da ein externer Frequenzgenerator ein stabileres Signal lieferte. Deshalb wurden die Leitungen direkt nach dem letzten Verstärker (6 & 8, M5) unterbrochen und die Signale aus dem Frequenzgenerator auf die danach liegenden Lemobuchsen (6 & 8, J52, J63, J64, J66, J85, J86, J88, J99) gegeben. Um Kanäle konstant auf LOW resp. HIGH zu halten, wurde der positive Eingang über  $50 \Omega$  auf GND und der negative Eingang über  $1.1 \text{ k}\Omega$  auf  $+3.3 \text{ V}$  resp. umgekehrt verbunden.

Aus dem Schaltplan der Sendeeinheit (OH, Anhang A) geht hervor, dass die 4 differentiellen Datenkanäle sowie die beiden STROB Signale auf den HXT2001 (siehe [Hel98]) Chip geführt werden. Dieser Chip dient der Steuerung der VCSEL, sodass entsprechend dem Eingangssignal die in Abbildung 6.9 gezeigten Ströme zur Diode fließen.

Der Chip liefert einen konstanten Biasstrom ( $I_{Bias}$ ) an die VCSEL, um diese nahe an ihren Arbeitspunkt zu bringen. Sobald die Spannung am positiven Kanal am Eingang höher liegt als am negativen, fließt noch ein zusätzlicher Strom ( $I_{Mod}$ ) durch die Laserdioden, womit diese den Arbeitspunkt überschreiten und die Lichtleistung ca. um einen Faktor 1000 zunehmen sollte.

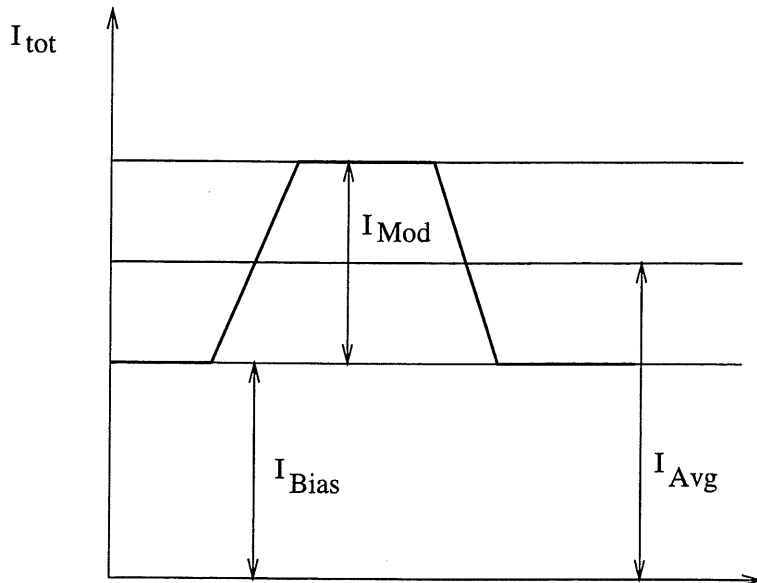


Abbildung 6.9: Gelieferte Ströme des HXT2001 Chips für HIGH und LOW Signale

Die Grösse dieser zwei Ströme werden auf dem Chip von zwei spannungsregulierten Stromquellen bereitgestellt. Um die Steuerspannungen möglichst konstant zu halten, sind diese auf dem Chip wiederum mit Stromquellen von  $100 \mu\text{A}$  realisiert. Durch Anlegen eines externen Widerstandes kann die Steuerspannung eingestellt werden.

Auf der Testkarte ist dieser Widerstand eine Kombination eines herkömmlichen Widerstandes (7, R92 & R93) und eines Potentiometers (7, B1 & B2). Dadurch kann der Widerstand reguliert und somit auch  $I_{\text{Avg}}$  und  $I_{\text{Mod}}$  von aussen eingestellt werden. Der Zusammenhang zwischen der externen Spannung  $V_{\text{Avg}}$  und  $I_{\text{Avg}}$  gibt Formel 6.1, wobei  $g_{\text{Avg}}$  nach Datenblatt typischerweise  $4 \text{ mS}$  beträgt. Der Zusammenhang zwischen  $V_{\text{Mod}}$  und  $I_{\text{Mod}}$  ergibt sich aus der gleichen Formel mit dem gleichen Wert für  $g_{\text{Mod}}$ .

$$I_{\text{Avg}} = 100 \mu\text{A} \times R_{\text{Avg}} \times g_{\text{Avg}} \quad (6.1)$$

Durch die für eine Diode typische Strom-Spannungscharakteristik der VCSEL wurden – durch Messung der Spannung an den Pads der VCSEL – die fließenden Ströme kontrolliert. An einem Kanal wurde ein Signal von  $0.25 \text{ Hz}$  angelegt, um mit einem Multimeter die Spannung für das HIGH und LOW

Signal messen zu können. Alle anderen Kanäle wurden wie oben beschrieben konstant auf LOW gesetzt.

Datum	Data 1 [ V ]		Data 2 [ V ]		Data 3 [ V ]		Data 4 [ V ]	
	HIGH	LOW	HIGH	LOW	HIGH	LOW	HIGH	LOW
13.4.99	2.42	1.89	2.37	1.85	2.43	1.90	2.44	1.90
14.4.99	2.41	1.88	2.36	1.86	2.42	1.90	2.43	1.90
19.4.99	2.42	1.88	2.36	1.85	2.43	1.89	2.43	1.89

Tabelle 6.1: Gemessene Spannungen an den Pads der VCSEL am OH (Datenkanäle)

Datum	STROB 1 [ V ]		STROB 2 [ V ]	
	HIGH	LOW	HIGH	LOW
13.4.99	2.45	1.92	2.44	1.90
14.4.99	2.44	1.91	2.43	1.89
19.4.99	2.44	1.90	2.44	1.91

Tabelle 6.2: Gemessene Spannungen an den Pads der VCSEL am OH (STROB Kanäle)

Datum	Data 1 [ dBm ]		Data 2 [ dBm ]		Data 3 [ dBm ]		Data 4 [ dBm ]	
	HIGH	LOW	HIGH	LOW	HIGH	LOW	HIGH	LOW
13.4.99	-12.2	-44.9	-20.5	-48.2	-15.4	-46.7	-15.2	-47.1
14.4.99	-20.7	-51.5	-18.8	-48.6	-19.9	-50.9	-19.4	-52.2
19.4.99	-15.6	-46.7	-18.2	-45.7	-11.7	-44.0	-11.6	-44.4
22.4.99	-16.7	-46.8	-16.2	-44.5	-12.4	-43.9	-12.3	-44.6
24.4.99	-16.0	-47.1	-14.7	-44.8	-12.6	-44.8	-14.6	-45.6
26.4.99	-14.0	-44.8	-15.1	-44.7	-12.2	-44.1	-18.3	-46.5

Tabelle 6.3: Gemessene Lichtleistung nach 4 m optischem Kabel (Datenkanäle)

## Ergebnisse

Die Tabellen 6.1 und 6.2 zeigen die gemessenen Spannungen. Mit dem oben erwähnten Lichtleistungsmessgerät wurden die entsprechenden Messung noch nach 4 m optischen Kabeln durchgeführt. Die Ergebnisse dazu sind in den Tabellen 6.3 und 6.4 gezeigt.



Datum	STROB 1 [ dBm ]		STROB 2 [ dBm ]	
	HIGH	LOW	HIGH	LOW
13.4.99	-15.8	-48.1	-18.4	-49.9
14.4.99	-14.6	-48.8	-17.3	-50.6
19.4.99	-12.4	-45.2	-14.1	-45.5

Tabelle 6.4: Gemessene Lichtleistung nach 4 m optischem Kabel (STROB Kanäle)

Der erste VCSEL Array, der auf dem optischen Hybrid angebracht wurde, sendete nach kurzer Zeit kein Licht mehr aus. Da der Grund für dieses Fehlverhalten noch nicht verstanden ist, werden diese Messung nach kurzen Intervallen immer wiederholt. Dadurch sollte es möglich sein, bei einem auftretenden Defekt die Ursache zu rekonstruieren.

Der Unterschied in der Lichtleistung bei einem HIGH und LOW Signal beträgt auf allen Kanälen  $\sim 1000$ , was einem sehr guten Wert entspricht. Die Schankung zwischen den Kanälen ist auf die variierende Effizienz der VCSEL zurückzuführen, die nach Datenblatt bei  $\pm 10\%$  liegt. Die Schankung innerhalb eines Kanals ist Folge der Faserpositionierung am optischen Hybrid, sie liegen aber durchwegs im Bereich der Toleranz.

### Einstellung von $V_{AVG}$

Um den Arbeitspunkt der VCSEL finden zu können, wurden die Lichtleistungen bei verschiedenen Werten von  $V_{AVG}$  gemessen.  $V_{MOD}$  wurde bei dieser Messung mit GND verbunden, sodass der gesamte durch die VCSEL fließende Strom durch  $V_{AVG}$  kontrolliert werden konnte. In Abbildung 6.10 wird ersichtlich, dass die Arbeitspunkte der einzelnen Laser weit auseinander liegen. Das bedeutet  $V_{AVG}$  muss in der Mitte gewählt werden und  $V_{MOD}$  muss genug gross sein, um bei allen Kanälen einerseits in die obere Sättigungsphase zu kommen, andererseits bei einem LOW Signal den nichtaktiven Bereich des Lasers zu erreichen. Die gefundenen Werte sind  $V_{AVG} = 1.28$  V,  $V_{MOD} = 1.3$  V.

### 6.3.3 Messungen am DeOH

Erste Erfahrungen auf der Empfängerseite haben ergeben, dass das Layout der Testkarte für Hochfrequenzmessungen nicht ideal ist. So war z.B. das Leiterbahnstück zwischen den Lemobuchsen nach dem DeOH (4, J25-32) und dem darauffolgenden Verstärker (4, M1) gerade lang genug ( $\sim 2$  cm),

um die Signalqualität beträchtlich zu verschlechtern. Deshalb wurden die Bahnen direkt nach den Lemobuchsen durchtrennt.

Da ausser dem Laser am OH keine unabhängige Lichtquelle zur Verfügung stand, konnte die Empfängereinheit (DeOH) nur mit diesem Licht vermessen werden. Zur Zeit wird noch nach einer neuen Quelle gesucht.

### Messaufbau

Auf Kanal 4 wurde ein differentielles Signal auf die Sendeeinheit gespiesen, alle übrigen Kanäle wurden wie oben beschrieben auf LOW gesetzt. Gemessen wurde das Signal auf den Lemobuchsen nach dem DeOH (4, J31-32).

### Ergebnisse

Die Messung in Abbildung 6.11 wurde gemacht, bevor das oben beschriebene Leiterstück abgetrennt wurde. Aus der Pulsanstiegszeit von  $\sim 1.5$  ns geht deutlich hervor, dass die Signalqualität nicht für die Übertragung von 1 Gbit reicht. Aus diesem Grund wurden alle dahinterliegenden Komponenten abgetrennt.

Zudem ist, überlagert mit dem 50 MHz Signal, eine höherfrequente Schwingung sichtbar. Diese liegt bei 1.4 GHz und wird vom Empfängerchip (ARX12), der sich auf dem DeOH befindet, produziert. Der eigentliche Grund für diese Schwingung ist noch nicht ganz verstanden, aber es wird vermutet, dass die Bonddrähte am Ausgang des Chip das Signal abstrahlen, welches von den Bonddrähten am Chipeingang wieder aufgefangen wird. Genauere Abklärungen sind im Gange.

In Abbildung 6.12 sieht man den Signalverlauf des 500 MHz Pulses am Ausgang, was einer Datenrate von 1 Gbit entspricht. Diese Messung wurde nach der Abtrennung des Leiterstücks gemacht, die entsprechende Pulsanstiegszeit sank dadurch auf  $\sim 400$  ps. Dieses Resultat zeigt deutlich dass eine Signalübertragung von 1Gbit mit der eingesetzten Komponenten grundsätzlich möglich ist, allerdings muss das Schwingverhalten des Empfängerchips zuerst verstanden werden.

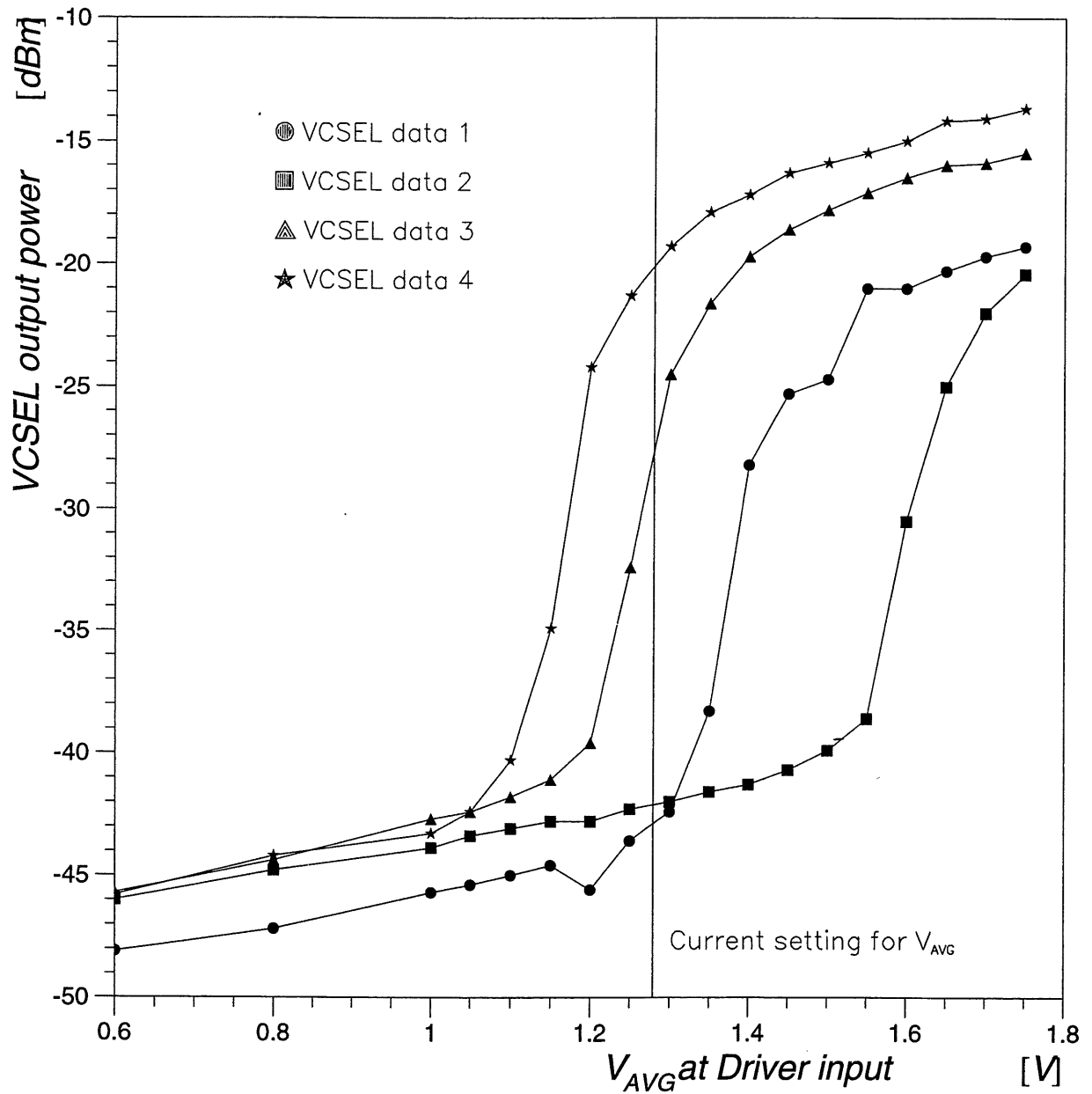


Abbildung 6.10: Lichtleistung VCSEL der Datenkanäle nach 4 m optischem Kabel

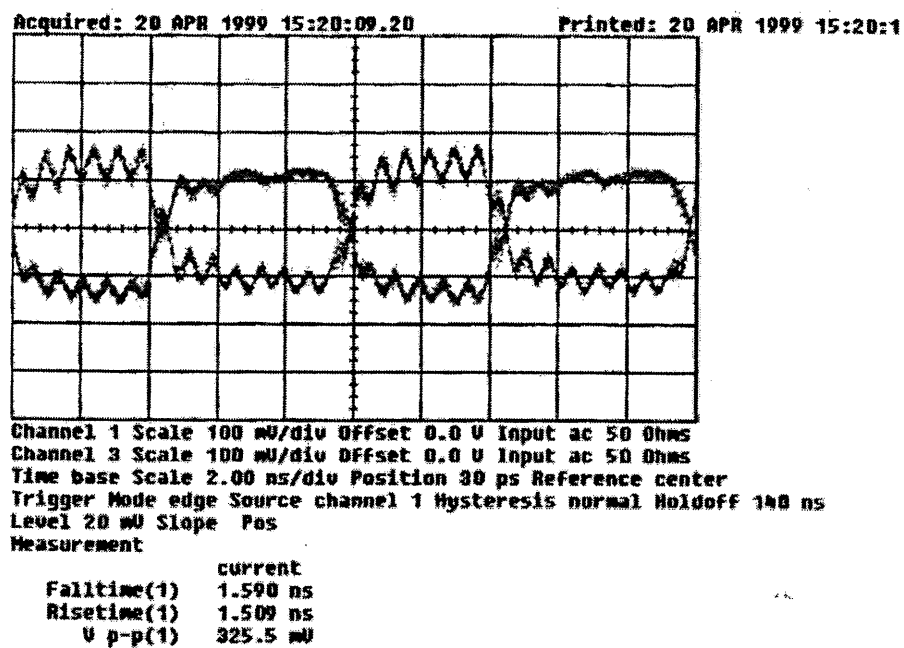


Abbildung 6.11: 50 MHz Signal gemessen am Ausgang des DeOH übertragen über 4 m optisches Kabel

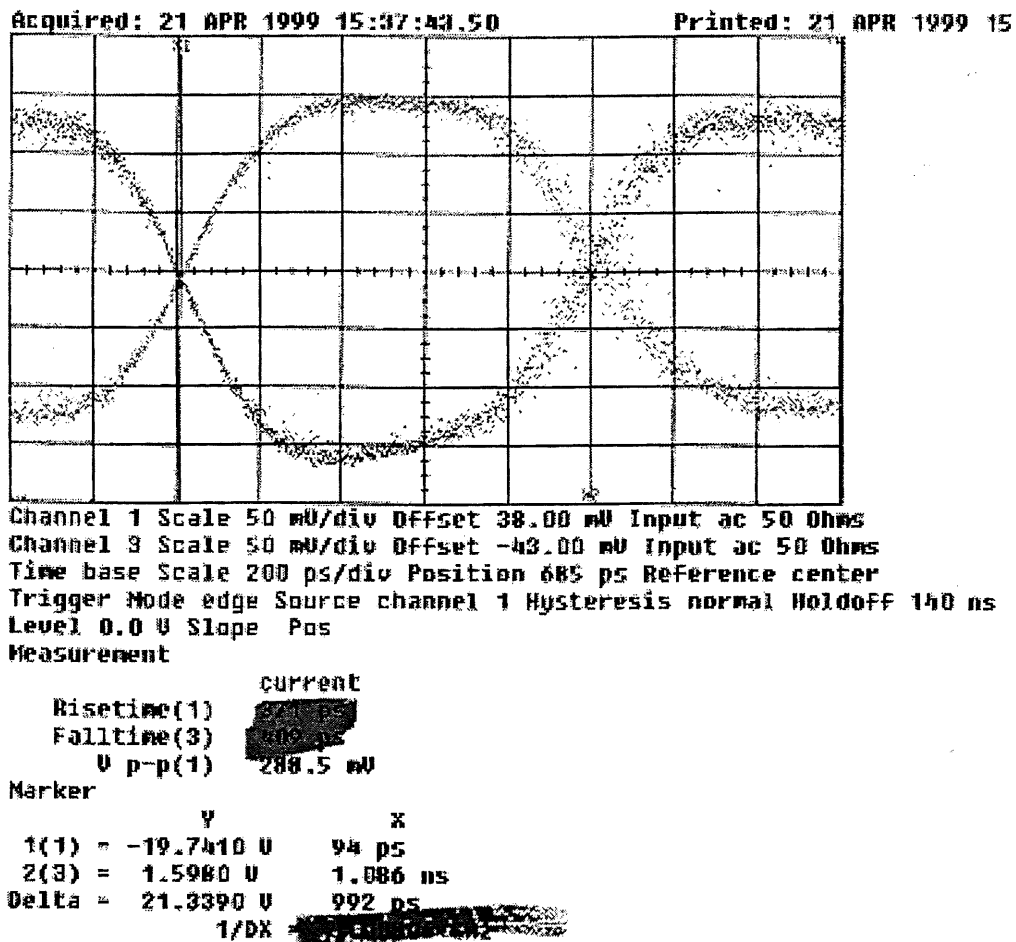


Abbildung 6.12: 500 MHz Signal gemessen am Ausgang des DeOH übertragen über 4 m optisches Kabel, gemittelt über 1024 Samples



# Kapitel 7

## Zusammenfassung und Ausblick

In der vorliegenden Arbeit wurden Konzept und Layout der Empfängerkarte vorgestellt. Getestet werden konnte der Baustein für die Erzeugung der Clocksignale, die PLL. Die Abhängigkeit der Laufzeiten von der Versorgungsspannung erwies sich als signifikant, der Phasenjitter dagegen ist vernachlässigbar klein. Falls die Versorgungsspannung auf  $\pm 5\%$  konstant gehalten werden kann, erfüllt der Baustein die gestellten Anforderungen.

Um zu prüfen, ob die eingesetzten Buffer mit einer Signalfrequenz von 1 GHz arbeiten können, wurden sie über ein breites Frequenzspektrum simuliert. Die Resultate zeigten, dass entgegen den Herstellerangaben die schnellsten Pulsanstiegzeiten des ICs lediglich ca. 750 ps betragen. Dadurch ist der Baustein für diese Anwendung ungeeignet.

Die Messungen an der Sendeeinheit (OH) zeigten, dass die Lichtleistungen der VCSEL sehr gut ist. Ein Faktor 1000 zwischen dem HIGH und LOW Signal wurde gemessen. Erste Messungen über die gesamte optische Verbindungsstrecke zeigten, dass die Übertragung von 1 Gbit/s prinzipiell möglich ist. Allerdings weist der Empfängerchip der Pindiode eine starke Schwingneigung auf, was noch nicht ganz verstanden ist.

### Ausblick

Im weiteren soll die gesamte optische Übertragungsstrecke vermessen werden. Die zu bestimmenden Messgrößen werden Übersprechen, Laufzeit und Jitter sein.

Sobald die Sendekarte in Betrieb genommen werden kann, kann die Funktionalität der gesamten Elektronik getestet werden, insbesondere jene der

Empfängerkarte.



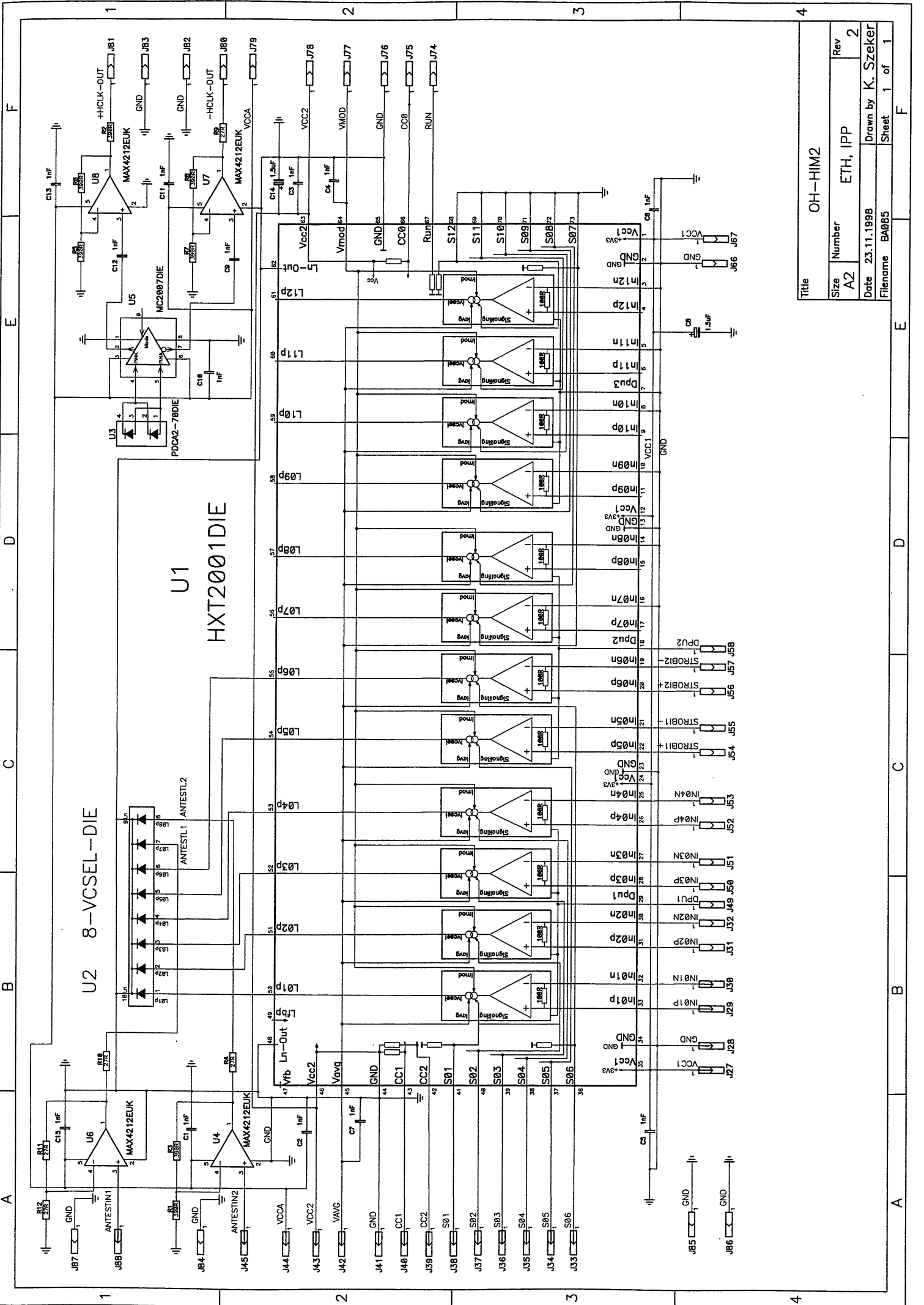
# Anhang A

## Optische Hybride, Schaltpläne

Folgende Schaltpläne sind aufgeführt:

- Optischer Hybrid detektorseitig
- Optischer Hybrid trailerseitig





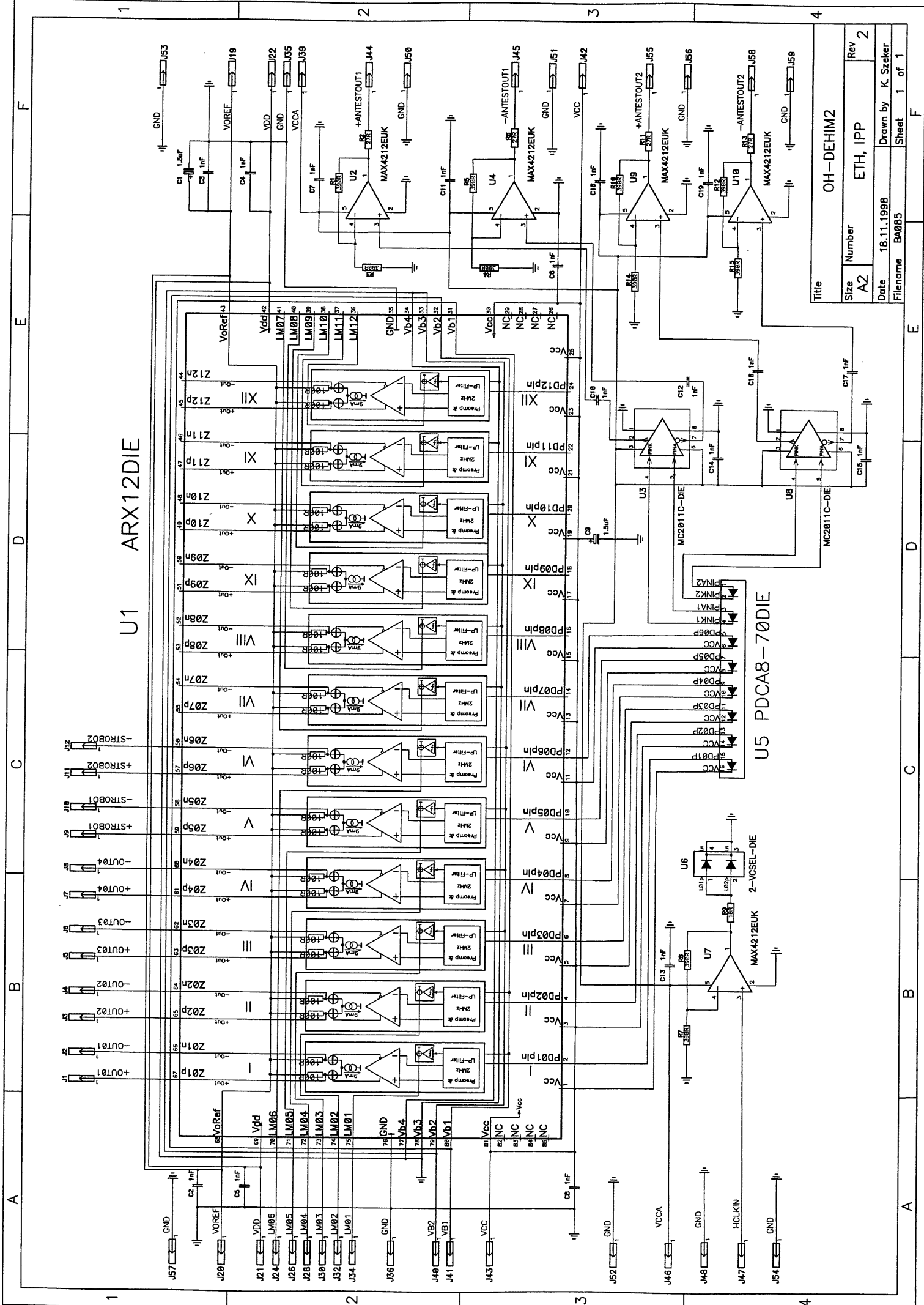
Title			OH-HIM2		
Size	Number	ETH, IPP	Rev	2	
Date			23.11.1998		
Filename			BA085		
Sheet			1 of 1		

A B C D E F

A B C D E F

1 2 3 4

1 2 3 4



U1 ARX12DIE

U5 PDCA8-70DIE

Title	OH-DEHM2		
Size	A2	Number	ETH, IPP
Date	18.11.1998	Drawn by	K. Szeker
Filename	BA085	Sheet	1 of 1

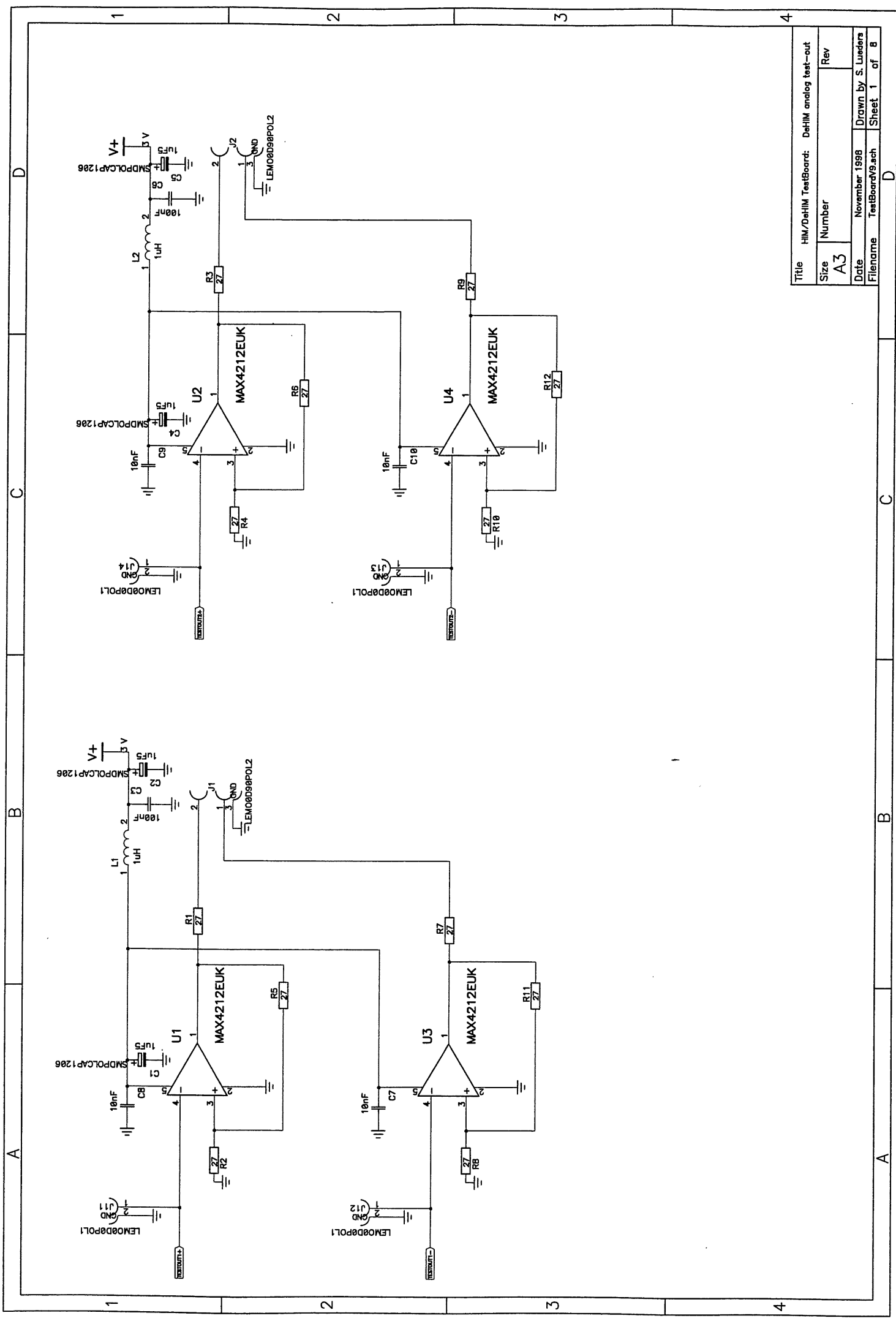
# Anhang B

## Testkarte für optische Übertragungsstrecke, Schaltpläne

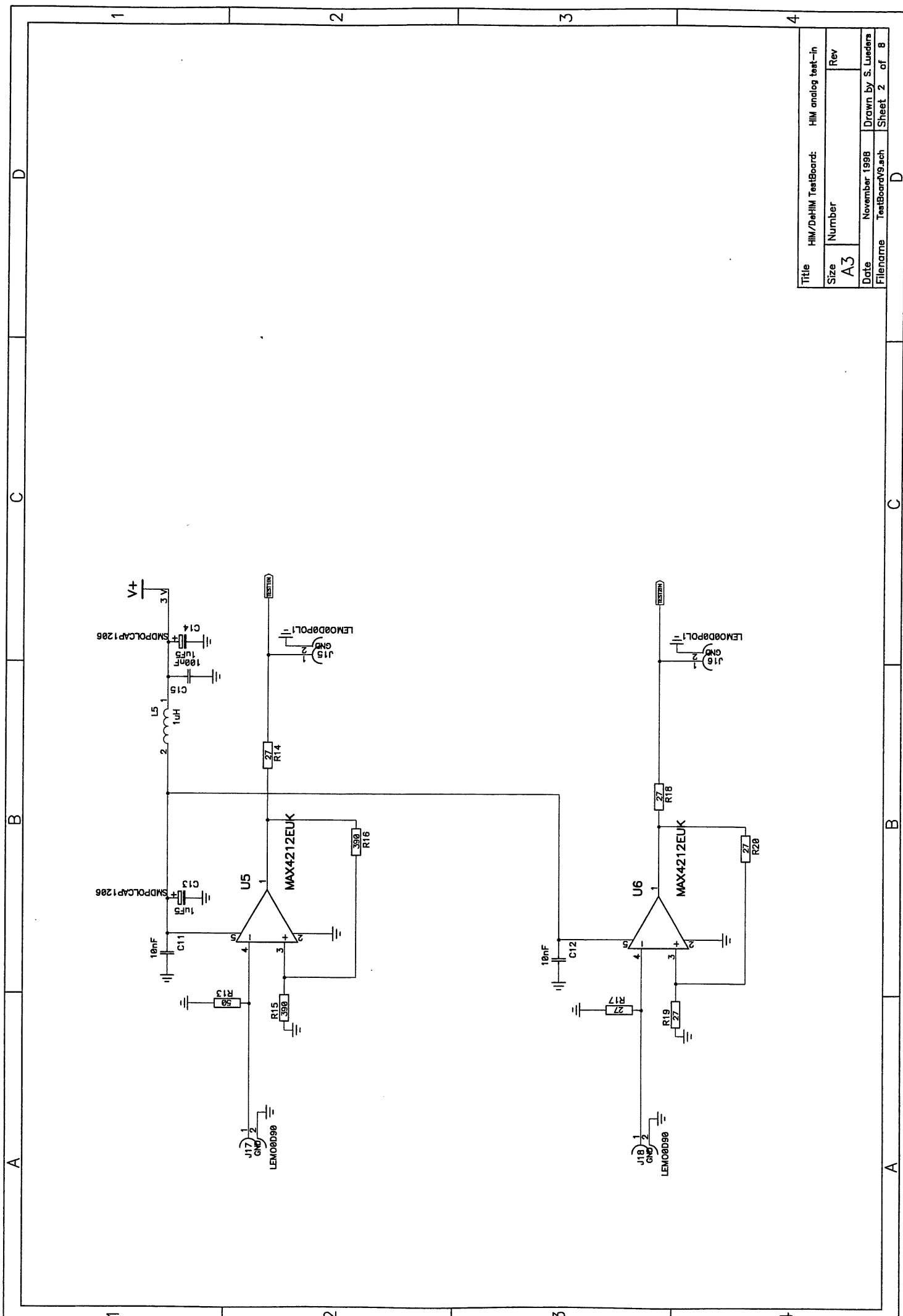
Die folgenden Seiten zeigen den schematischen Aufbau der Testkarte:

- Analoge Kanäle, Ausgang
- Analoge Kanäle, Eingang
- Clock Ein- und Ausgänge DeOH
- Datenkanäle, Ausgang
- Clock Ein- und Ausgänge OH
- Datenkanäle, Eingang 1
- OH und DeOH
- Datenkanäle, Eingang 2

58 ANHANG B. TESTKARTE FÜR OPTISCHE ÜBERTRAGUNGSSTRECKE, SCHAL

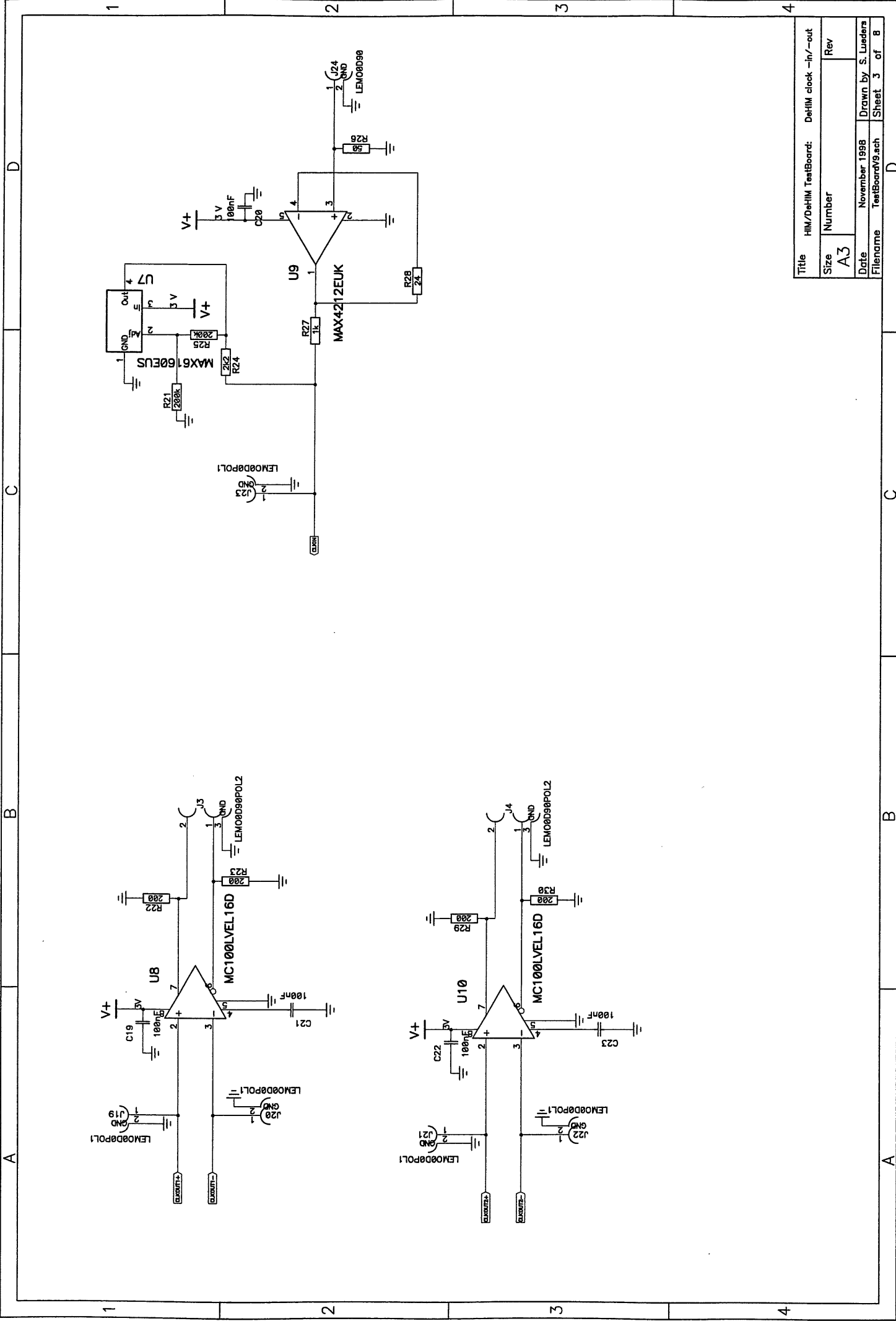


Title		HIM/DeHIM TestBoard: DeHIM analog test-out	
Size	Number	Rev	
A3			
Date	November 1998	Drawn by S. Luedera	
Filename	TestBoardV9.ach	Sheet 1	of 8

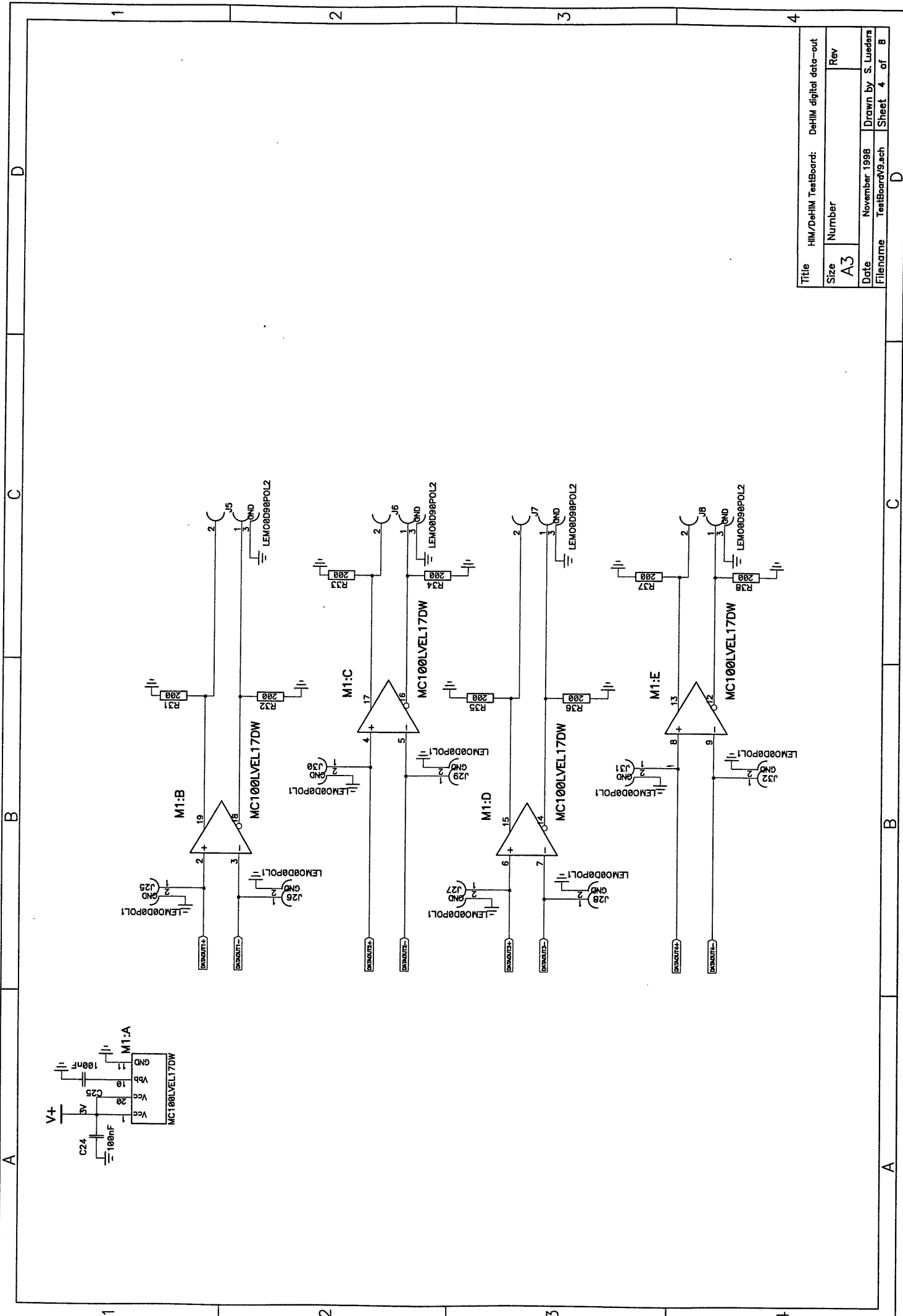


Title	HIM/DeHIM TestBoard:	HIM analog test-in
Size	Number	Rev
A3		
Date	November 1998	Drawn by S. Lueders
Filename	TestBoardV9.sch	Sheet 2 of 8

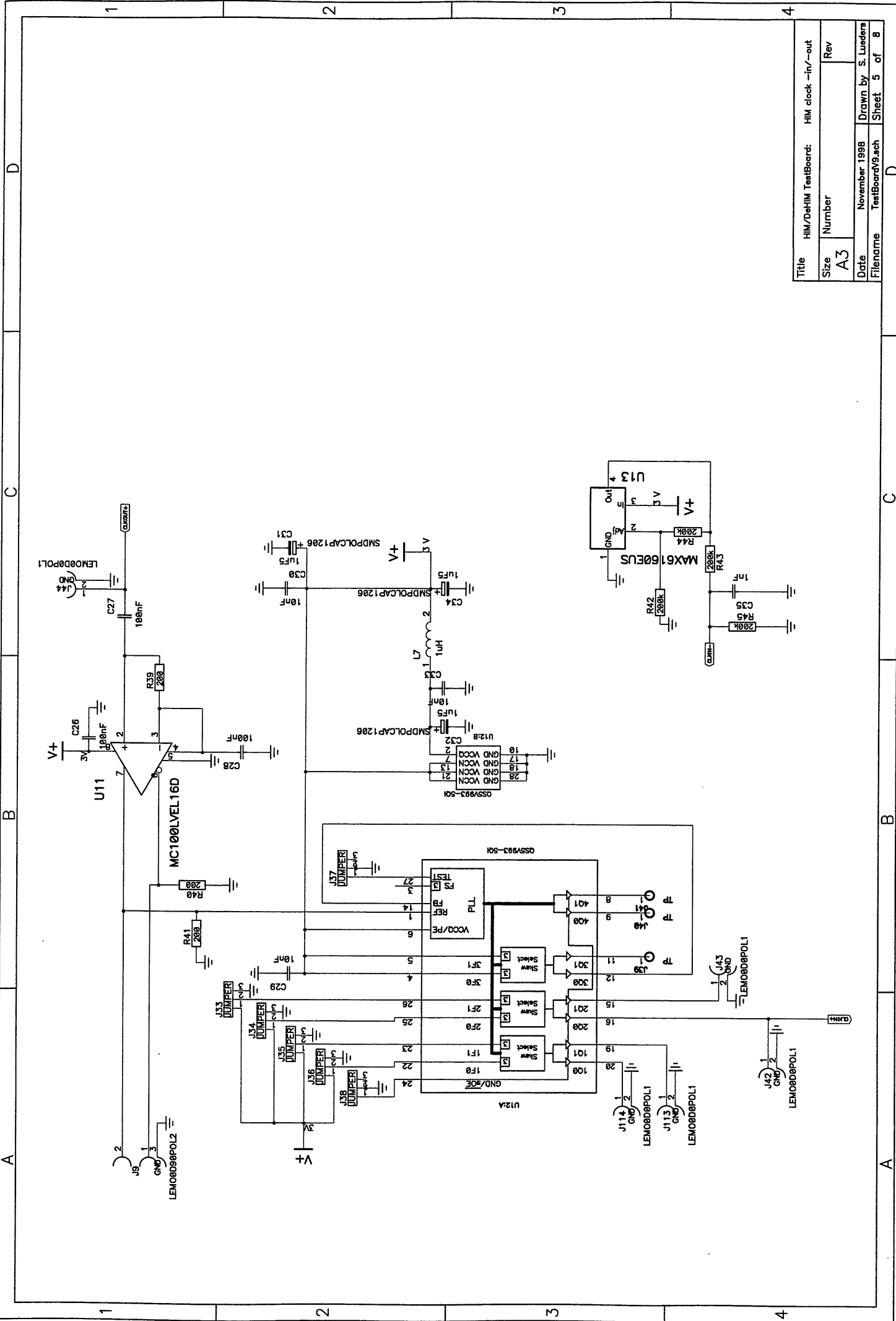




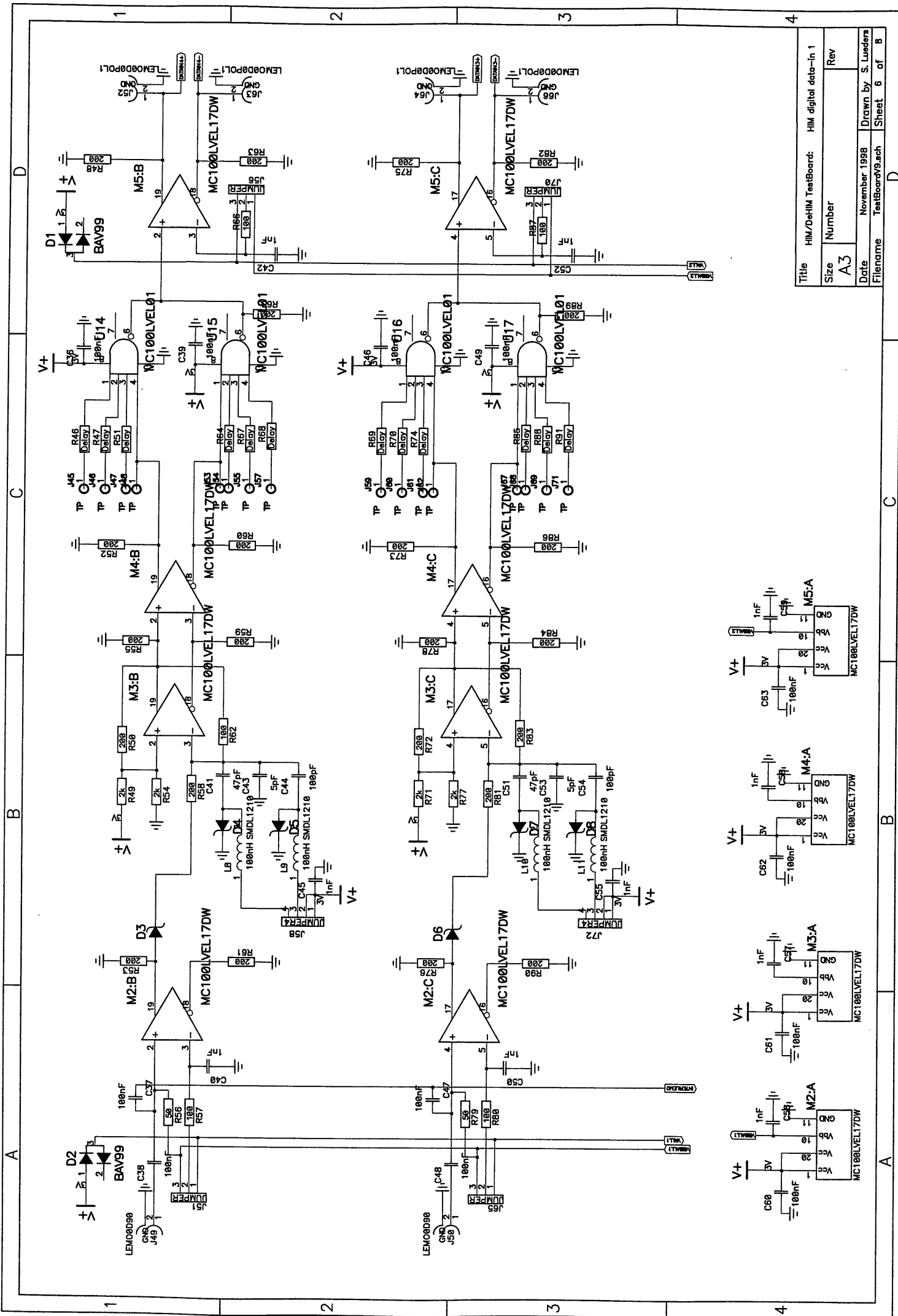
Title	HM/DeHM TestBoard: DeHM clock -in/-out		
Size	A3		
Number	Rev		
Date	November 1998	Drawn by S. Lueders	
Filename	TestBoardV9.sch	Sheet 3	of 8



Title	HIM/DeHIM TestBoard: DeHIM digital data-out
Size	A3
Number	Rev
Date	November 1998
Filename	TestBoardV9.sch
Drawn by	S. Lueters
Sheet	4 of 8

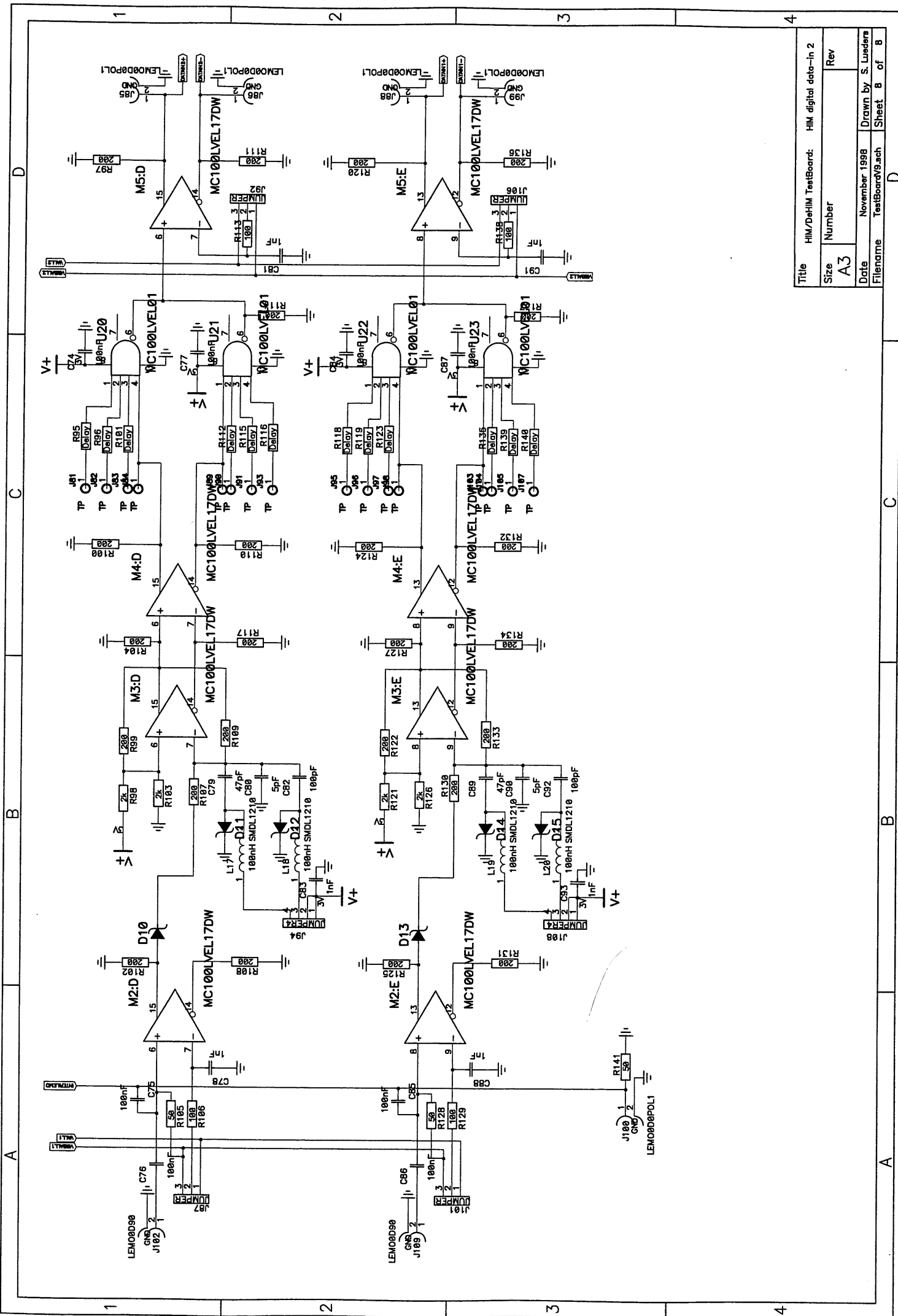


Title	HIM/DeHIM TestBoard: HIM clock -in/-out
Size	Number
A3	Rev
Date	November 1998
Filename	TestBoardV9.sch
	Drawn by S. Lueders
	Sheet 5 of 8



Title	HIM/DeHIM TestBoard: HIM digital data-in 1		
Size	A3	Number	Rev
Date	November 1998	Drawn by	S. Lueders
Filename	TestBoardV9.sch	Sheet	6 of 8





Title	HIM/DeHIM TestBoard: HIM digital data-in 2
Size	A3
Number	
Rev	
Date	November 1998
Filename	TestBoardV9.sch
Sheet	8 of 8

Drawn by S. Lueders

# Anhang C

## Demux Board, Schaltpläne

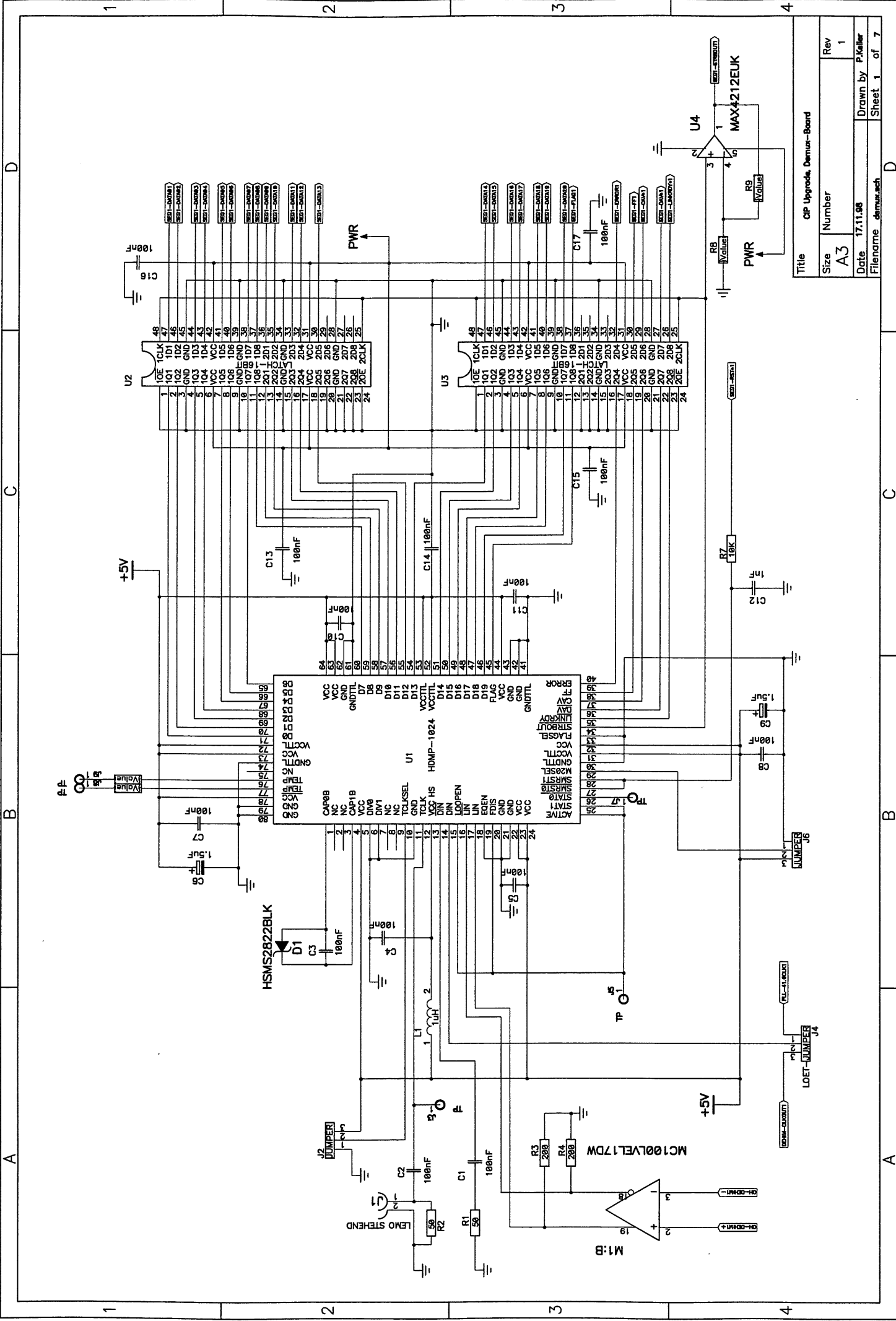
Die folgenden Seiten zeigen den schematischen Aufbau des Demuxboards:

- Demultiplexer 1:20
- DeOH & PLL
- Clockgenerator
- Demultiplexer 1:4

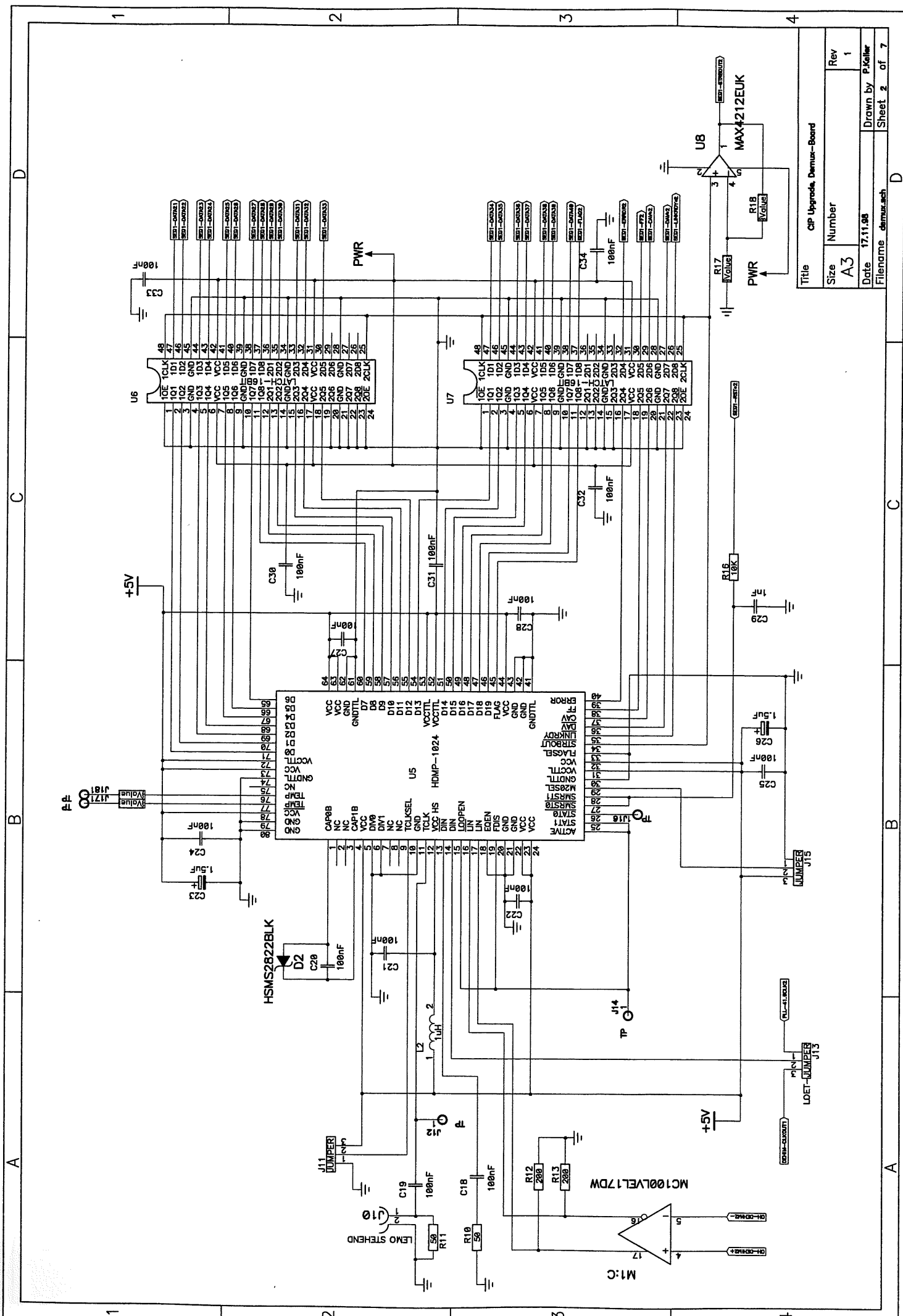
Eine detaillierte Beschreibung der Schaltung befindet sich in Abschnitt 5.2.



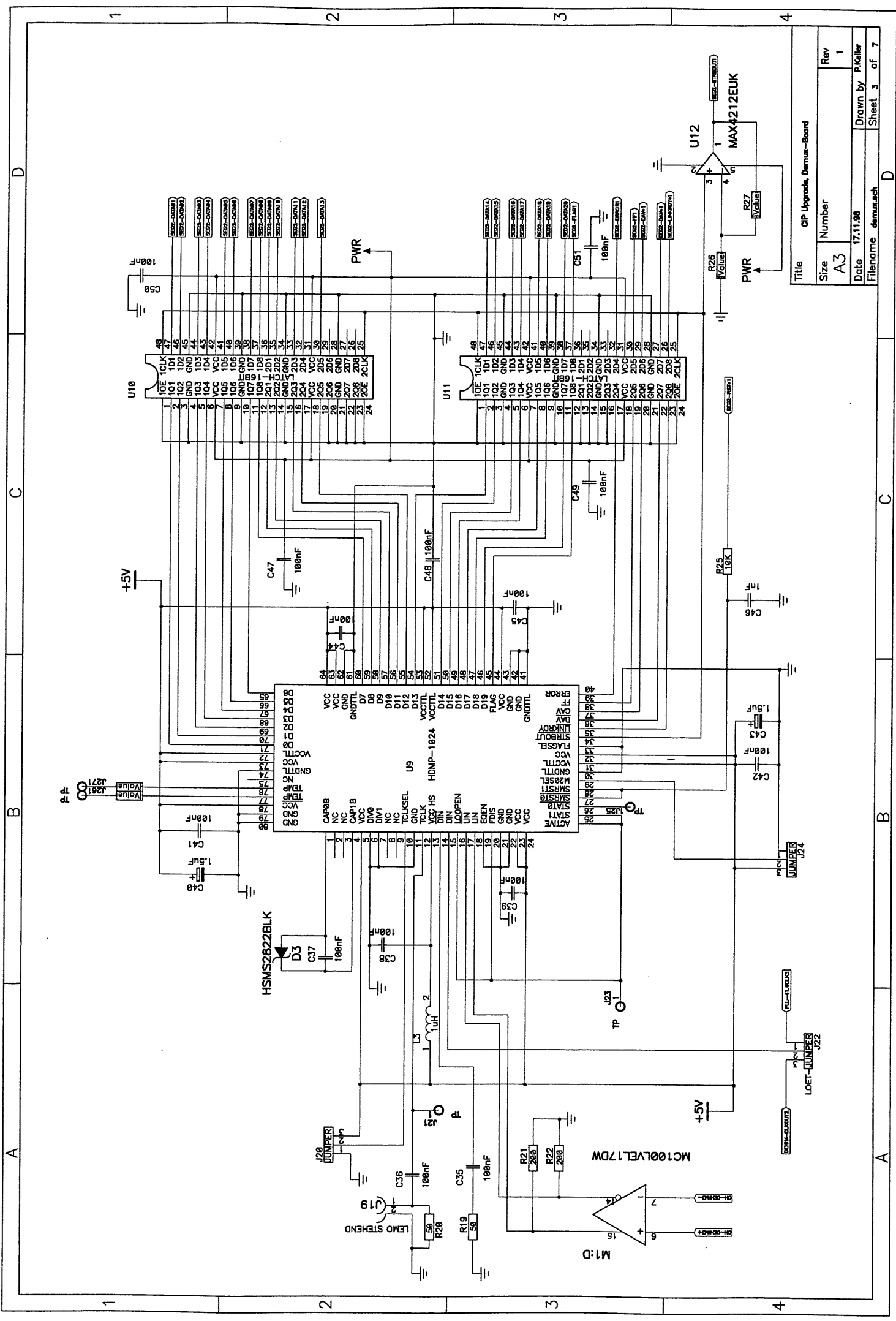




Title		CIP Upgrade, Demur-Board	
Size	Number	Rev	
A3		1	
Date	Drawn by		
17.11.98	P.Keller		
Filename	demur.sch	Sheet	1 of 7



Title		CIP Upgrade, Demur-Board	
Size	Number	Rev	1
A3		Date	17.11.98
Filename	demur.sch	Drawn by	P.Keller
		Sheet	2 of 7



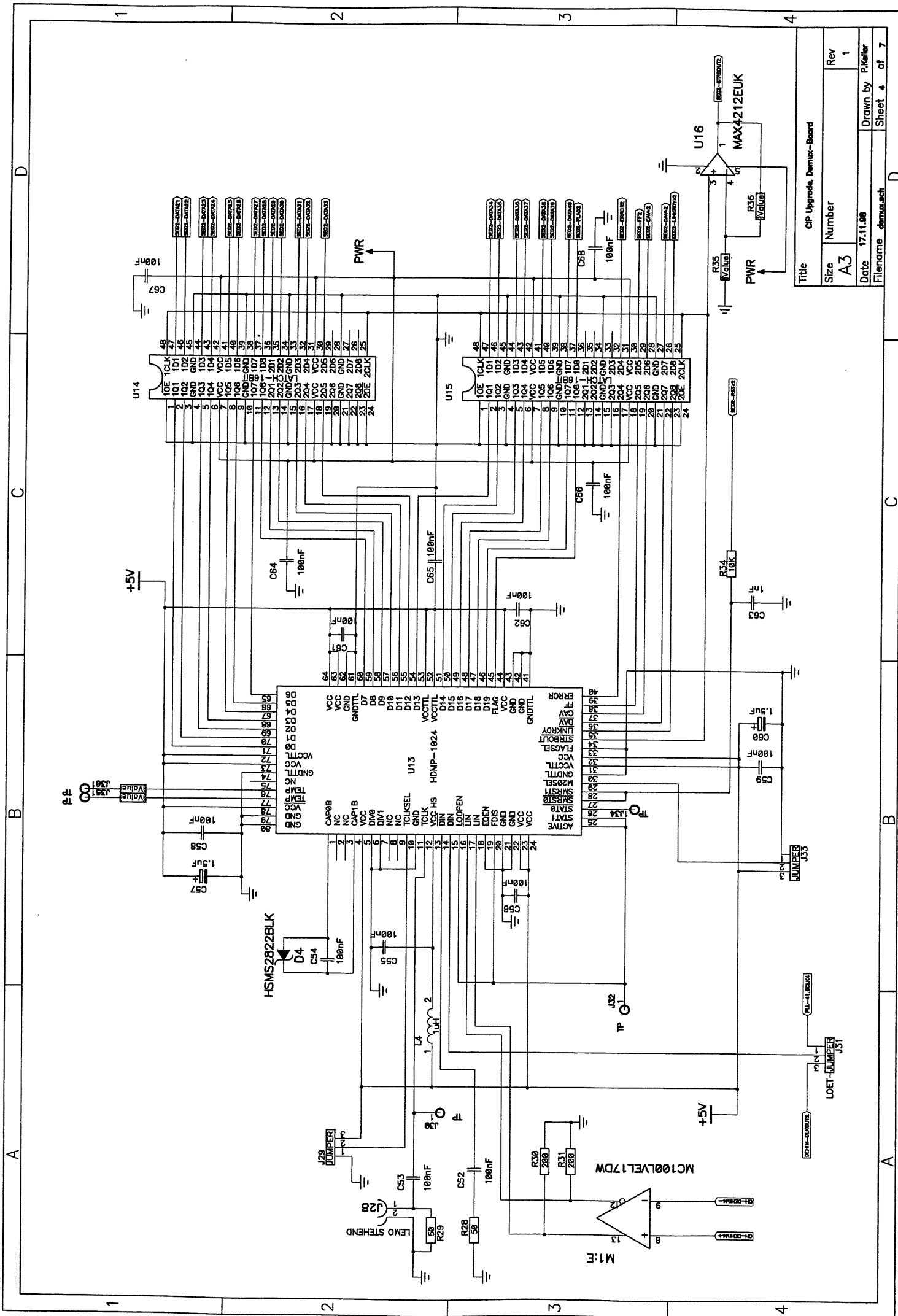
Title	CIP Upgrade Demux-Board		
Size	A3	Number	1
Date	17.11.08	Drawn by	P.Keller
Filename	demux.sch	Sheet	3 of 7

A B C D

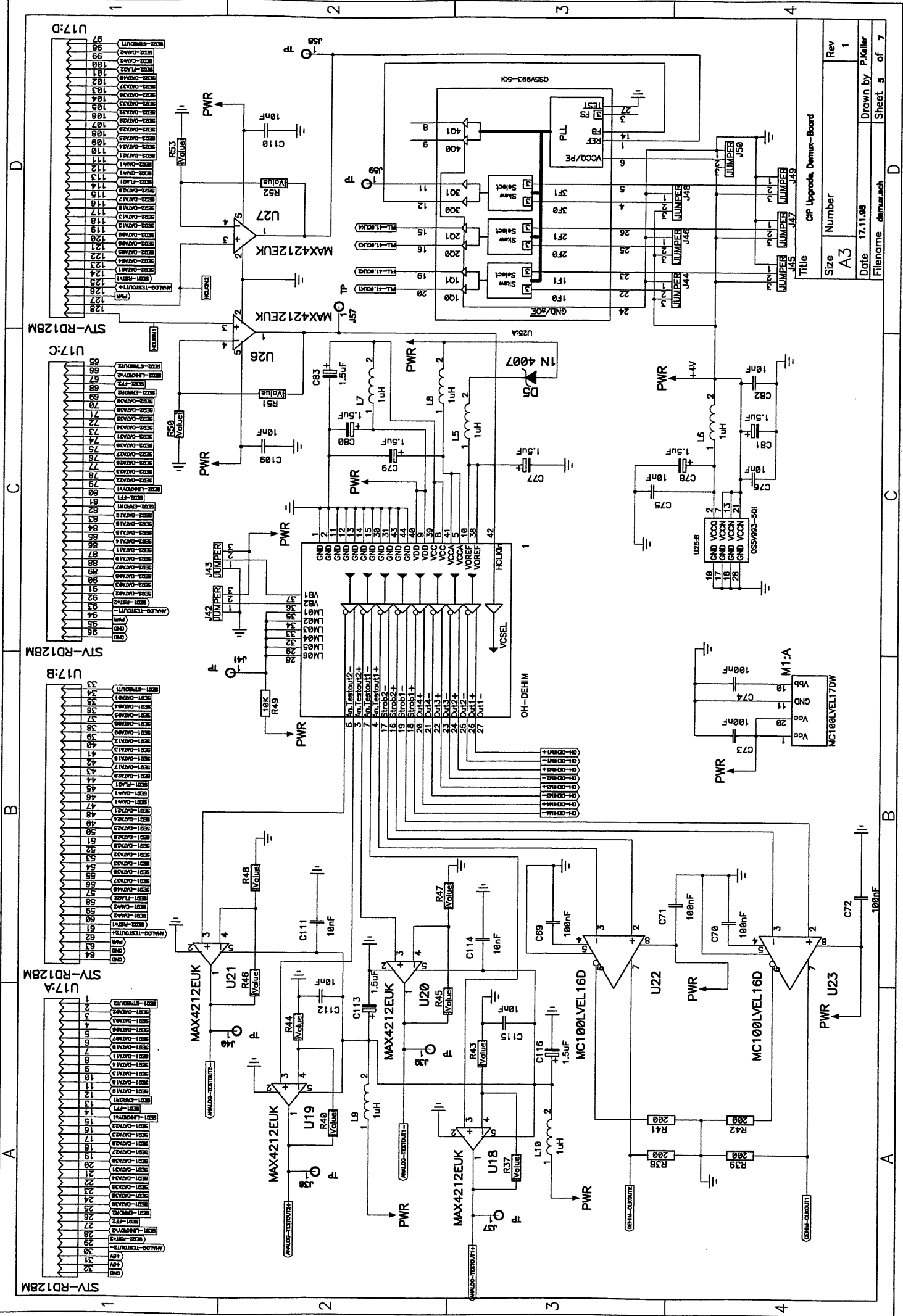
A B C D

1 2 3 4

1 2 3 4

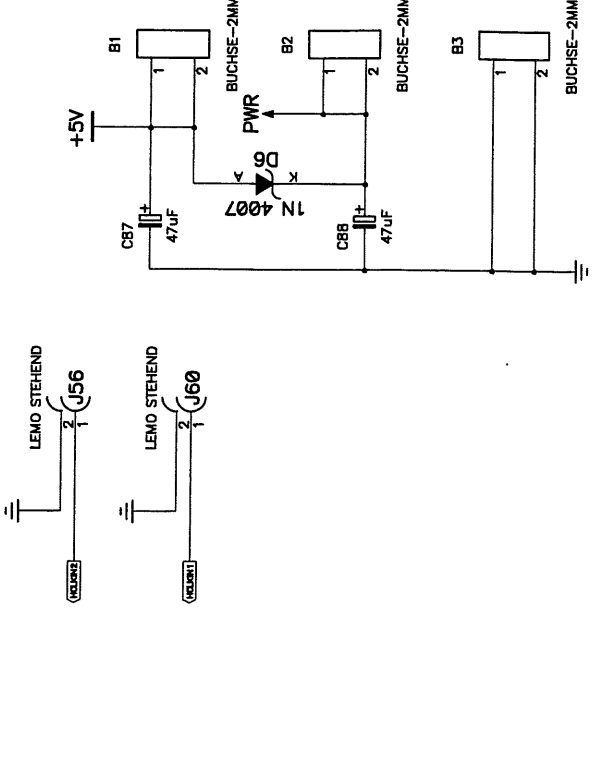
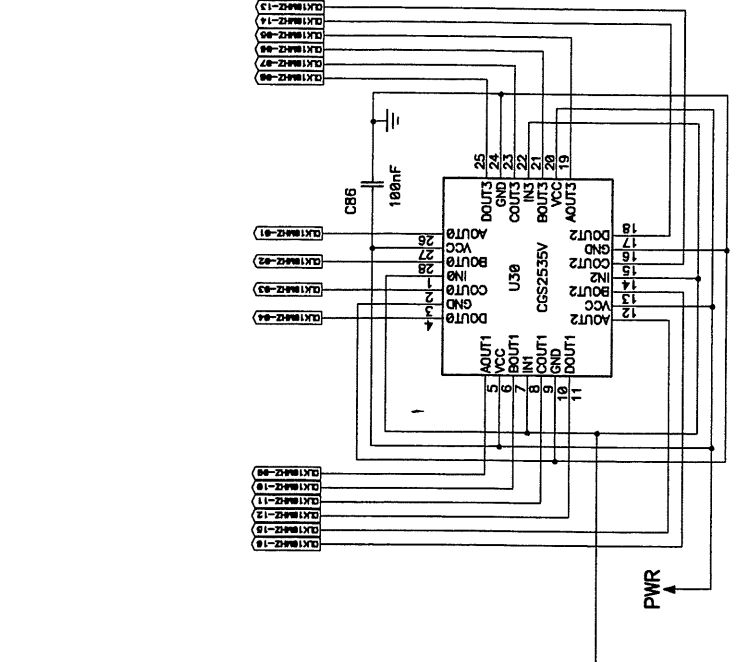
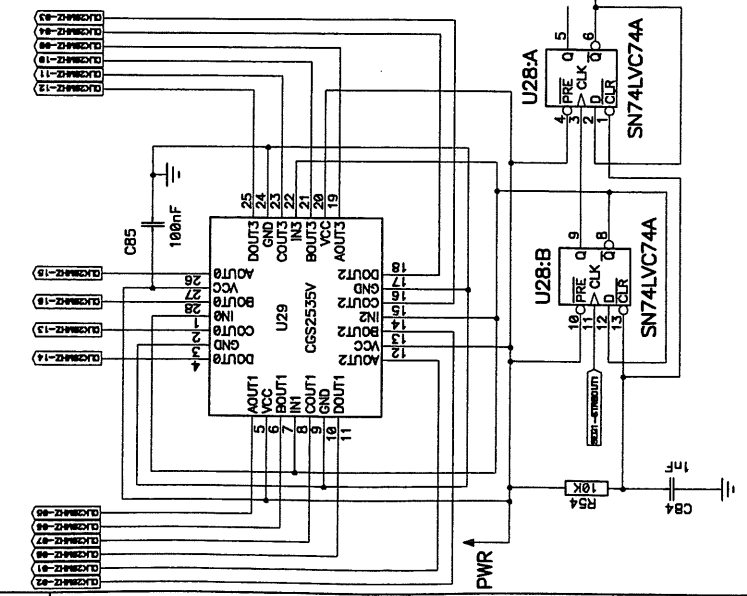
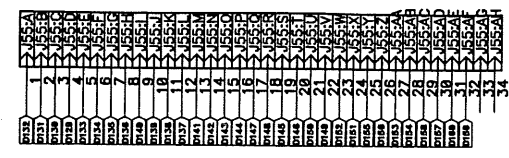
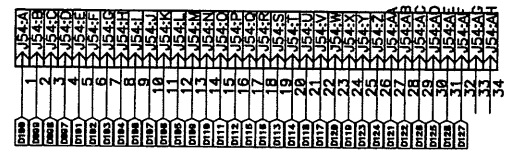
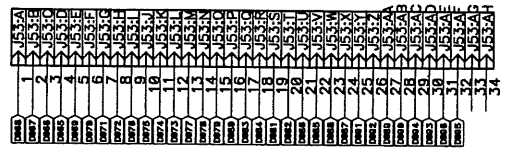
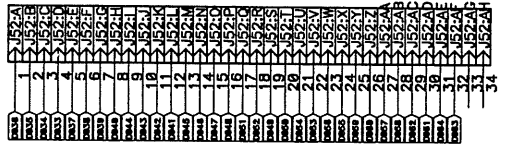
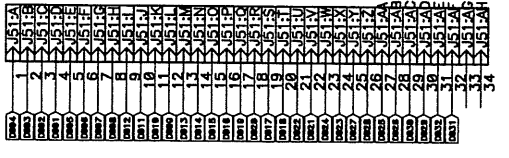


Title		CIP Upgrade Demux-Board	
Size	A3	Number	1
Date	17.11.98	Drawn by	P.Keller
Filename	demux.sch	Sheet	4 of 7

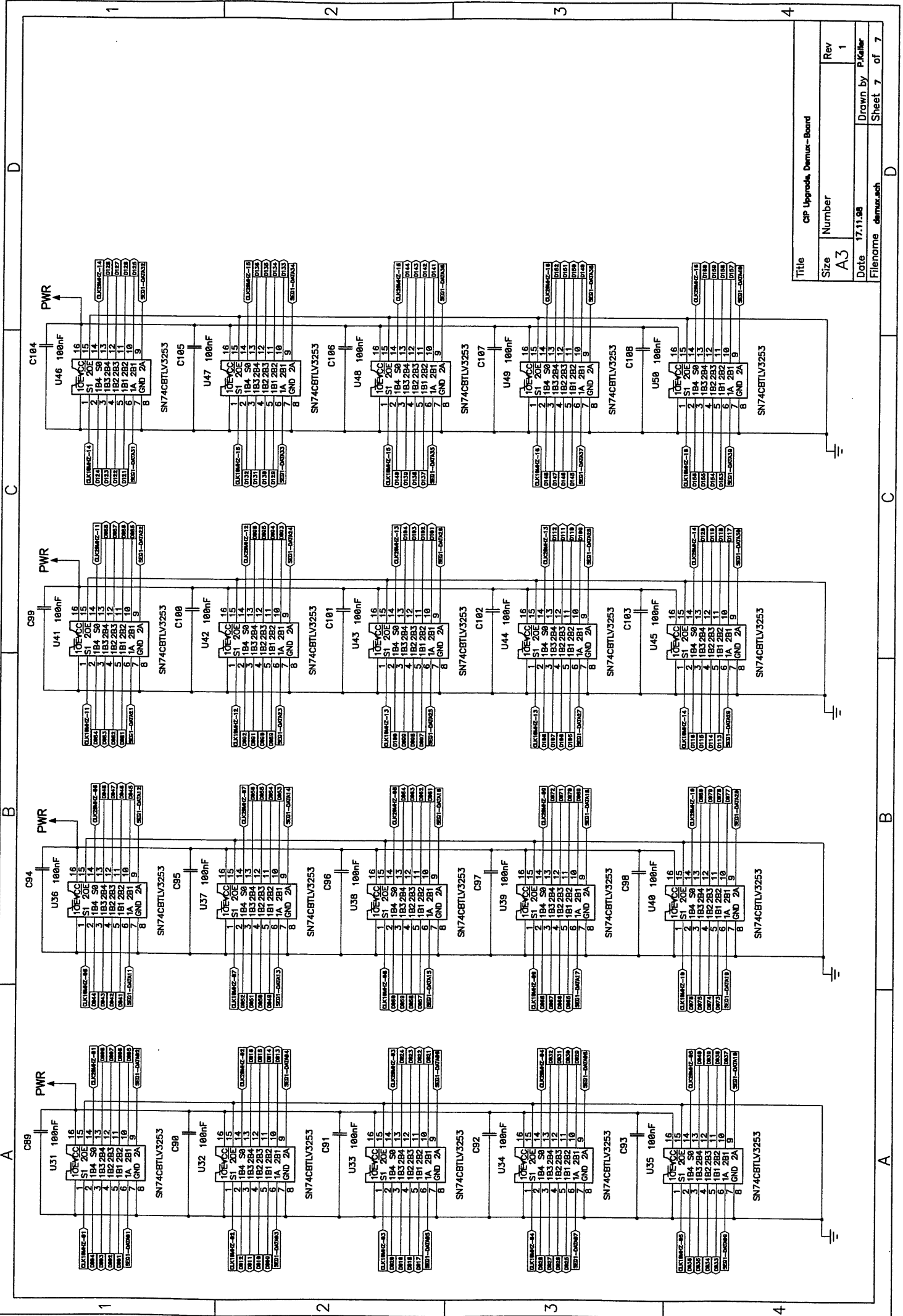


Rev	1
Number	A3
Date	17.11.98
Drawn by	P.Keller
Sheet	5 of 7

CP Upgrade, Demux-Board  
 Title  
 Size  
 Filename demuxsch



Title		CIP Upgrade, Demur-Board	
Size	Number	Rev	1
A3			
Date	17.11.08		Drawn by P.Keller
Filename	demur_sch		Sheet 6 of 7



Title	CIP Upgrade, Demux-Board
Size	A3
Number	Rev 1
Date	17.11.08
Filename	demux.sch
	Drawn by P.Keller
	Sheet 7 of 7





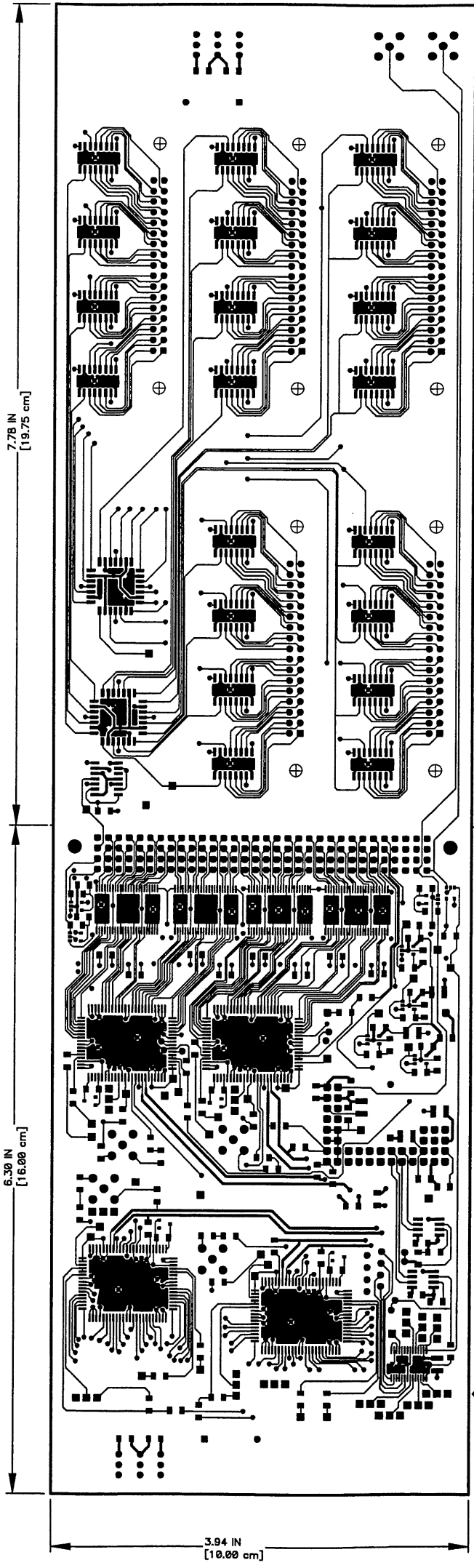
# Anhang D

## Demux Karte, Layout

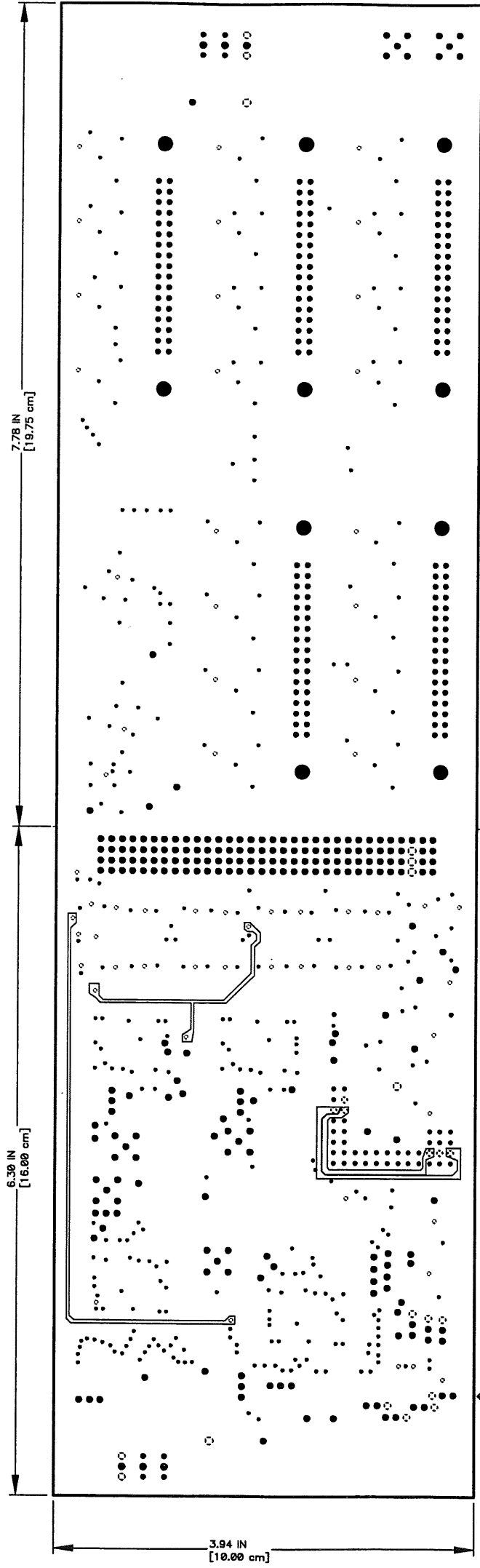
Die folgenden Seiten beinhalten das Layout des Demuxboards:


- TOP, Signallage
- GND, Massenlage
- +3V3, Massenlage
- +5V, Massenlage
- BOTTOM, Signallage

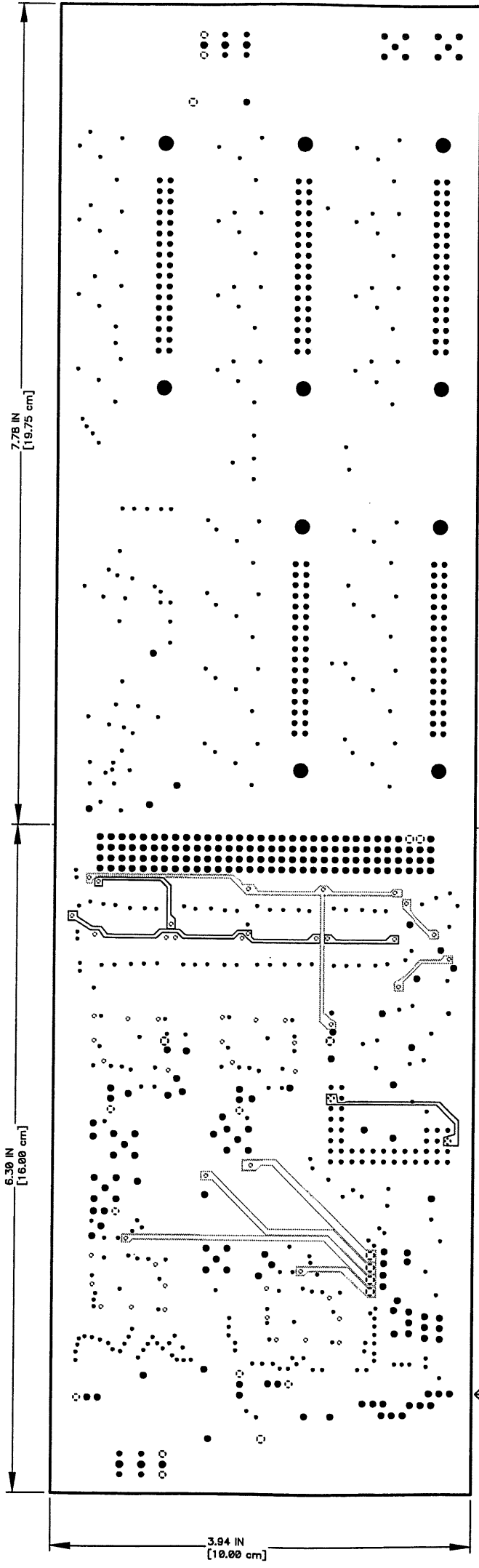




<b>CIP-Upgrade, Demux-Board</b>	P.Keller
	9.12.98
	<b>Positive</b>
TOP	LyrNr : 0001
<b>ETHZ</b>	Demux.pcb 1
	IPP 5232 Villigen-PSI



<b>CIP-Upgrade, Demux-Board</b>	P.Keller
	9.12.98
	<b>Negative</b>
PWR +3V3	LyrNr : 0001
 IPP 5232 Villigen-PSI	Demux.pcb
	1



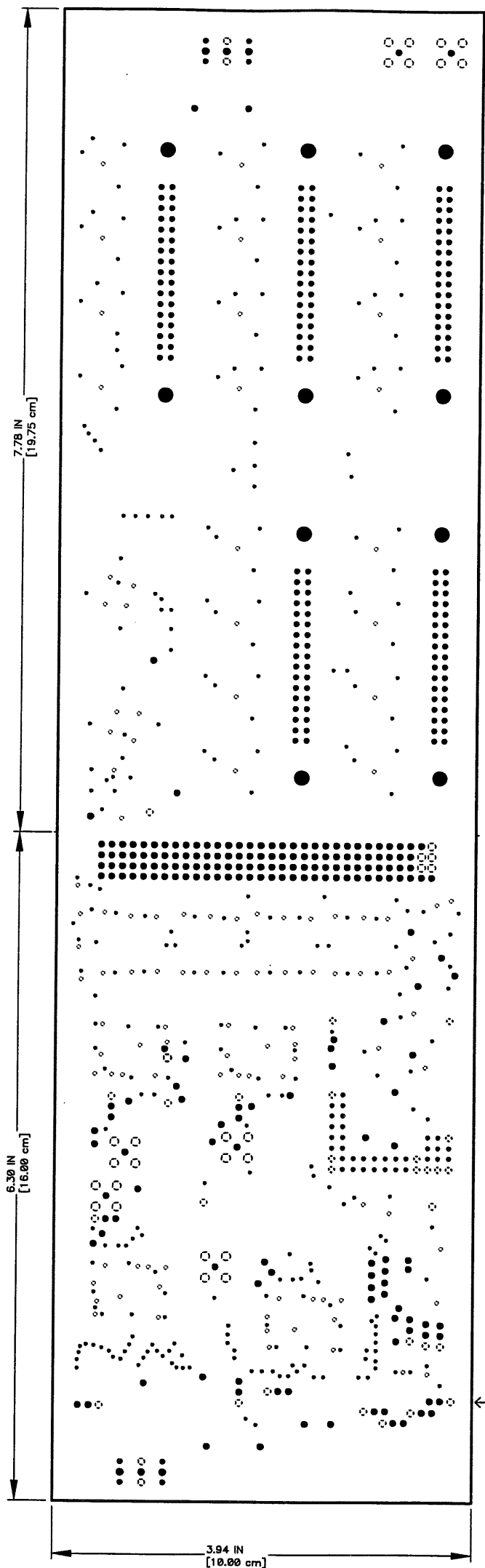
7.78 IN  
[19.75 cm]

6.30 IN  
[16.00 cm]

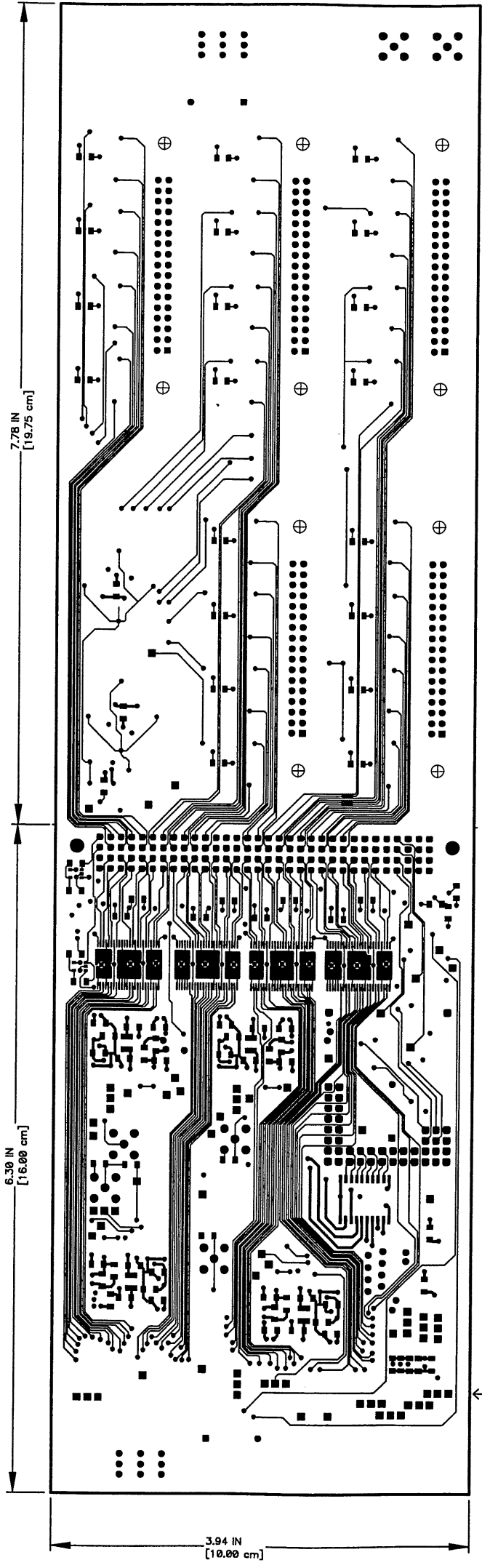
3.94 IN  
[10.00 cm]

← Board Origin

<b>CIP-Upgrade, Demux-Board</b>	P.Keller
	9.12.98
	<b>Negative</b>
PWR +5V	LyrNr : 0001
<b>ETHZ</b> IPP 5232 Villigen-PSI	Demux.pcb 1



<b>CIP-Upgrade, Demux-Board</b>	P.Keller 9.12.98
	<b>Negative</b>
GND	LyrNr : 0001
<b>ETZ</b> IPP 5232 Vlligen-PSI	Demux.pcb 1



<b>CIP-Upgrade, Demux-Board</b>	P.Keller 9.12.98
	<b>Positive</b>
BOTTOM	LyrNr : 0001
<b>STZ</b> IPP 5232 Villigen-PSI	Demux.pcb 1

# Literaturverzeichnis

- [Blo72] W.R.Blood Jr.  
*MECL System Design Handbook, Chapter 3: Printed Circuit Board Connections*  
Motorola Inc., Second Edition, December 1972.
- [CIx98] ASIC-Labor Heidelberg, D.Baumeister et al.  
*CIPix User Manual*
- [EDN98] J.S.Pattavina, Intraplex Inc.  
*Bypassing PC boards: Thumb your nose at rules of thumb*  
Elektronik Design News, 22. Oktober 1998, 149.
- [H1C97] H1 Collaboration, S. Aid et al.  
*The tracking, calorimeter and muon detectors of the H1 experiment at HERA*  
Nucl. Instr. Meth. **A386** (1997) 366-374.
- [Hal84] F. Halzen, A.D.Martin.  
*Quarks and Leptons, an introductory course in modern particle physics*  
Wiley, 1984.
- [Hel98] Helix AG  
*12-Channel 1.25 Gbit/s/ch Laser/VCSEL/LED Driver Array*  
Datasheet V1.1, 1998
- [HP97] Hewlett Packard  
*Low Cost Gigabit Rate Transmit/Receive Chip Set with TTL I/Os*  
<http://www.hp.com/HP-COMP/fiber/hdmp1022.html>
- [MOT96] Motorola Inc.  
*Low-Voltage Quad Differential Receiver*  
<http://mot-sps.com/sps/General/chips-nav.html>, Logic ICs, 1996



- [MOT97] Motorola Inc., C. Patty  
*Low Voltage ECLinPS SPICE Modeling Kit*  
AN1560, Application Note, Motorola Inc., 1997
- [QUS98] Quality Semiconductor  
*3.3 V Programmable Skew PLL Clock Driver*  
<http://www.qualitysemi.com>
- [Sau77] Sauli, F.  
*Principles of operation of multiwire proportional and drift chambers*  
Lectures given in the Academic Training Programme of CERN 1977.