

FAKULTÄT FÜR PHYSIK UND ASTRONOMIE  
RUPRECHT-KARLS-UNIVERSITÄT HEIDELBERG

Diplomarbeit  
im Studiengang Physik

vorgelegt von  
**Achim Vollhardt**  
aus Weinheim

Januar 2001



**Entwurf und Bau einer Frontend-Steuerung  
für das CIP-Upgrade Projekt  
für H1  
bei HERA**

Die Diplomarbeit wurde von Achim Vollhardt ausgeführt am  
Physikalischen Institut  
unter der Betreuung von  
Herrn Professor Dr. Franz Eisele



## Übersicht

Im Rahmen des Umbaus des HERA-Speicherrings am DESY in Hamburg zur Erhöhung der Luminosität wird ein Austausch der zentralen inneren Spurkammer (**C**entral **I**nner **P**roportional-, CIP-Kammer) des H1-Detektors vorgenommen. Die neue Kammer stellt mit 9600 Kanälen und 5 Lagen deutlich mehr Daten zur Verfügung, die von einer ebenfalls neuen Ausleseelektronik digitalisiert und optisch übertragen werden. Die neue Eingangselektronik beinhaltet einen neuen anwendungsspezifischen integrierten Schaltkreis (ASIC) mit einstellbaren Vorverstärkern, Pulsformern und Diskriminatoren.

Das zur Programmierung dieser Eingangselektronik nötige System wird in der vorliegenden Arbeit beschrieben. Hierbei wird sowohl auf die Entwicklung der Hard- und Software als auch auf die Charakterisierung der mit ihr möglichen Einstellungen der Ausleseelektronik eingegangen.

## Abstract

*Design and construction of a frontend-control  
for the CIP-Upgrade Project for H1 at HERA*

In the context of the upgrade of the HERA ring at DESY in Hamburg/Germany for achieving higher luminosity, there will be a replacement of the **C**entral **I**nner **P**roportional (CIP-) chamber. With 9600 channels and 5 layers, the new chamber is providing significantly more data, which will be digitized and optically transmitted by new readout electronics. The new frontend electronic includes a new application specific integrated circuit (ASIC) with adjustable preamplifiers, shapers and discriminators.

The system needed for programming this frontend electronic is specified in this thesis. The development of the hardware and software is described as well as the characterization of tuning possibilities of the readout electronics.



# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>1</b>
<b>2</b>	<b>Das H1-Experiment</b>	<b>3</b>
2.1	Der Speicherring HERA . . . . .	3
2.2	Der H1-Detektor . . . . .	5
2.2.1	Das H1-Spurkammersystem . . . . .	7
2.3	Das H1-Triggersystem . . . . .	9
2.4	Der H1 Upgrade 2000 . . . . .	10
2.5	Das CIP2000-Projekt . . . . .	11
<b>3</b>	<b>Die CIP-Ausleseelektronik</b>	<b>15</b>
3.1	Die digitale Auslekette . . . . .	15
3.2	Der CIPix-Auslesechip (Version 1.1) . . . . .	17
3.2.1	Die interne Schaltung des CIPix-Chips . . . . .	17
3.2.2	Einstellbare Parameter . . . . .	18
<b>4</b>	<b>Entwicklung der CIPix-Steuerhardware</b>	<b>23</b>
4.1	Anforderungen . . . . .	23
4.2	Auswahl der Baugruppen . . . . .	27
4.2.1	Zentrale Steuerlogik . . . . .	27
4.2.2	Optische Übertragung . . . . .	28
4.2.3	$I^2C$ -Bus . . . . .	29
4.2.4	Temperatursensoren . . . . .	30
4.3	Systemübersicht . . . . .	31
4.3.1	Aufbau . . . . .	31

4.3.2	CPU-Karte . . . . .	33
4.3.3	Fiber-Karte . . . . .	35
4.3.4	CDA-Interface . . . . .	36
4.3.5	Backplane . . . . .	38
<b>5</b>	<b>Entwicklung der CIPix-Steuersoftware</b>	<b>41</b>
5.1	Anforderungen . . . . .	41
5.2	Programmierung des Mikrocontrollers . . . . .	42
5.3	Befehlsübersicht . . . . .	47
<b>6</b>	<b>Charakterisierung der CIPix-Frontendparameter</b>	<b>53</b>
6.1	Funktionsweise der Register . . . . .	53
6.2	Messungen . . . . .	59
<b>7</b>	<b>Zusammenfassung</b>	<b>69</b>
<b>A</b>	<b>Schaltbilder</b>	<b>71</b>
<b>B</b>	<b>Kommandosyntax PIC16F877</b>	<b>77</b>
<b>C</b>	<b>Beschreibung der Programmfunktionen</b>	<b>79</b>
<b>D</b>	<b>Programmcode und Datenblätter</b>	<b>87</b>
	<b>Erklärung</b>	<b>92</b>



# Abbildungsverzeichnis

2.1	Übersicht DESY-Gelände . . . . .	4
2.2	Die integrierte Luminosität von HERA und H1 im Jahresverlauf. . . . .	5
2.3	Der H1-Detektor. . . . .	6
2.4	Längsschnitt des H1-Spurkammersystems . . . . .	7
2.5	Querschnitt des Spurkammersystems [H100]. . . . .	8
2.6	Datenreduktion durch das H1-Triggersystem. . . . .	10
2.7	Inneres Spurkammersystem vor und nach dem Upgrade [Be00]. . . . .	11
2.8	Schematische Darstellung einer CIP-Kammerebene [St98]. . . . .	12
2.9	Projektive Padgeometrie der neuen CIP-Kammer. . . . .	12
2.10	simulierte $z$ -Vertex Verteilung einer 5-lagigen CIP-Kammer . . . . .	13
3.1	Blockschaltbild der CIP-Auslesekarte [Lü00]. . . . .	16
3.2	Blockschaltbild des CIPix V1.0 [Lö98]. . . . .	17
3.3	Funktionale Belegung des <i>AnalogOut</i> -Registers. . . . .	20
3.4	Funktionale Belegung des <i>TpReg</i> -Registers. . . . .	20
3.5	Funktionale Belegung des <i>CIPixReg</i> -Registers. . . . .	21
4.1	Definitionen des $I^2C$ -Übertragungsprotokolls [PS00]. . . . .	24
4.2	Rückkopplungsschleife bei einfacher Zusammenschaltung von Sender und Empfänger. . . . .	30
4.3	Schematische Ansicht des Steuerungssystems. . . . .	31
4.4	Ansicht der Trailer-Box. . . . .	32
4.5	Ansicht der CDA-Box. . . . .	33
4.6	Blockschaltbild der CPU-Karte. . . . .	34
4.7	Beidseitige Ansicht der CPU-Karte. . . . .	34
4.8	Blockschaltbild der Fiber-Karte. . . . .	35

4.9	Beidseitige Ansicht der Fiber-Karte. . . . .	36
4.10	Blockschaltbild einer Karte des CDA-Interface. . . . .	37
4.11	Beidseitige Ansicht einer CDA-Karte. . . . .	37
4.12	Typische $I^2C$ -Flanke mit Lastkapazität und aktivem Pull-Up. . . . .	38
4.13	Ansicht der Backplane. . . . .	39
5.1	Ansicht der MPLAB Entwicklungsumgebung. . . . .	43
5.2	Speicherzuordnung im FLASH-Speicher. . . . .	44
5.3	Flußdiagramm Funktion <b>P_HIT</b> . . . . .	45
5.4	Flußdiagramme der Funktionen <b>prog_layer</b> , <b>prog_global</b> . . . . .	47
5.5	Flußdiagramme der Funktion <b>ANA_TEST</b> . . . . .	48
5.6	Einteilung der z-Sektionen für die CIPix-Schwellereinstellung. . . . .	52
6.1	Testpuls auf Kanal 21, CIPix V1.0 . . . . .	54
6.2	Testpuls auf Kanal 21, CIPix V1.1 . . . . .	54
6.3	Aufbau zur Messung der Kammereffizienz. . . . .	55
6.4	Kammerpuls mit digitalem Signal. . . . .	56
6.5	Kammereffizienz bei Variation des Vorverstärkerstromes $I_{pre}$ . . . . .	57
6.6	Kammereffizienz bei Variation der Vorverstärkerspannung $V_{pre}$ . . . . .	57
6.7	Kammereffizienz bei Variation der Shaperspannung $V_{fs}$ . . . . .	58
6.8	Kammereffizienz bei Variation des Shaperstromes $I_{sha}$ . . . . .	59
6.9	Plateaukurve mit Schwelle A0, nicht optimiertes Frontend. . . . .	60
6.10	Plateaukurve mit Schwelle 8A und optimiertem Frontend. . . . .	61
6.11	Abhängigkeit der Effizienz vom Kammerpad. . . . .	61
6.12	Höhe externer eingekoppelter Testpulse für verschiedene Ladungsmengen. . . . .	62
6.13	Zeitliche Abtastung eines externen Testpulses von 120000 Elektronen. . . . .	62
6.14	Pulshöhendiagramm bei $U_{CIP}=2.41$ kV. . . . .	63
6.15	Koinzidenz- und Zählschaltung bei Verschiebung des Sampling-Zeitpunkts. . . . .	64
6.16	Verschiebungen des CIPix-Taktes um 0 bzw. 8 ns. . . . .	65
6.17	Verschiebungen des CIPix-Taktes um 16 bzw. 24 ns. . . . .	66
6.18	Verschiebungen des CIPix-Taktes um 32 bzw. 40 ns. . . . .	66
6.19	Verschiebungen des CIPix-Taktes um 48 bzw. 56 ns. . . . .	66
6.20	Verschiebungen des CIPix-Taktes um 64 bzw. 72 ns. . . . .	67

6.21	Wahrscheinlichkeit für Bin '-1' bei variablem Abtastzeitpunkt. . . . .	67
A.1	Schaltbild CPU-Karte . . . . .	72
A.2	Schaltbild Fiber-Karte . . . . .	73
A.3	Schaltbild Karte CDA-Interface . . . . .	74
A.4	Schaltbild Backplane . . . . .	75



# Tabellenverzeichnis

2.1	Technische Daten des HERA-Beschleunigers. . . . .	4
3.1	Beschreibung der internen CIPix-Register, Version 1.1 [Lö98] . . . . .	18
4.1	Technische Daten des POF-Kabels. . . . .	29
5.1	Einteilung der z-Sektionen für die Diskriminatorschwellen. . . . .	51
6.1	Fronteneinstellungen vor Optimierung. . . . .	56
6.2	Fronteneinstellungen nach Optimierung . . . . .	59



# Kapitel 1

## Einleitung

Die seit 1992 am Deutschen Elektronen Synchrotron (DESY) in Hamburg betriebene Hadron-Elektron-Ring-Anlage (HERA) gibt Forschern aus aller Welt die Möglichkeit, die Struktur von Elementarteilchen durch Kollisionen von Protonen mit Positronen zu erforschen. Das H1-Experiment ist ein Detektor, der zur Erkennung und Aufzeichnung dieser Kollisionen um einen der Wechselwirkungspunkte herum aufgebaut ist. Ab September 2000 wird der HERA-Ring modifiziert. Ziel ist eine Erhöhung der Leistungsfähigkeit und damit eine höhere Ausbeute an interessanten Kollisionen. Gleichzeitig werden am H1-Experiment Verbesserungen und Erweiterungen durchgeführt, insbesondere wird die zentrale innere Proportionalkammer (**C**entral **I**nner **P**roportional Chamber, CIP-Kammer) durch eine Neuentwicklung ersetzt, welche mit 9600 Kanälen und fünf Lagen deutlich mehr Informationen als die alte Kammer bereitstellt. Die damit verbundene Neuentwicklung der Ausleseelektronik beinhaltet einen im ASIC-Labor der Universität Heidelberg entwickelten Auslesechip mit einstellbaren Arbeitspunkten für Verstärkung und Signalformung der ausgelesenen Kammerdaten sowie einstellbaren Schwellen für die Digitalisierung der Signale.

Diese Diplomarbeit befaßt sich mit einem System zur Steuerung und Überwachung dieser Auslesechips. Zentrale Komponente dieses Systems ist ein Mikrocontroller mit integrierten Schnittstellen und FLASH-Speicher. Dabei werden die fünf voneinander getrennten Ausleselagen über eine optische Übertragungstrecke programmiert. Gleichzeitig ist über das beschriebene System eine Temperaturmessung der Auslesekarten an der CIP-Kammer möglich. Schließlich wurden die möglichen Einstellungen der Frontend-Elektronik charakterisiert und beschrieben, um die Inbetriebnahme im Sommer 2001 zu vereinfachen.

In den sieben Kapiteln dieser Diplomarbeit wird auf das System und seine Bedienung näher eingegangen:

- Kapitel 1 ist diese Einleitung.
- Kapitel 2 beschreibt den HERA-Speicherring, das H1-Experiment und die geplanten Erweiterungen mit Schwerpunkt auf der neuen CIP-Kammer.

- Kapitel 3 enthält einen Überblick über die neue Ausleseelektronik mit dem CIPix-Auslesechip und seinen Einstellmöglichkeiten.
- Kapitel 4 erklärt die Entwicklung der Systemhardware. Dabei wird sowohl auf die Konzeption als auch auf die Realisierung der einzelnen Komponenten der Steuerung eingegangen.
- Kapitel 5 stellt die Anforderungen der Kammer und des Bedieners an die im Prozessor verwendete Software dar. Es folgt eine Übersicht auf die Programmierung und die entwickelte Benutzerschnittstelle.
- Kapitel 6 beinhaltet die Charakterisierung der möglichen Einstellungen, die mit diesem System an der Ausleseelektronik vorgenommen werden können. Zusätzliche Messungen an einem Kammerprototypen dokumentieren die Leistungsfähigkeit der Kombination von CIP-Kammer mit CIPix-Auslesechip.

Nach der Zusammenfassung folgen im Anhang die Schaltpläne der Steuerung, eine Auflistung der Befehle des Prozessors und eine Beschreibung der internen Programmfunktionen. Der komplette Programmcode ist aus Platzgründen nicht in dieser Arbeit abgedruckt. Sämtliche Programmdateien, Platinenlayouts und Datenblätter der verwendeten Bauteile sind jedoch auf der beigelegten CD-ROM zu finden.



## Kapitel 2

# Das H1-Experiment

Die in dieser Arbeit beschriebene Elektronik wird am H1-Experiment des Speicherrings HERA<sup>1</sup> am Deutschen Elektronen Synchrotron DESY in Hamburg die Steuerung der Ausleseelektronik der neuen zentralen Vieldrahtproportionalkammer (**C**entral **I**nnner **P**roportional chamber, CIP) übernehmen. Die neue CIP-Kammer ist Teil des H1-Upgrades<sup>2</sup>, welcher Ende 2000/Anfang 2001 stattfindet. In diesem Kapitel sollen der Speicherring HERA und das Experiment H1 kurz vorgestellt werden. Dabei wird der Schwerpunkt auf dem sogenannten z-Vertex-Trigger liegen.

### 2.1 Der Speicherring HERA

Der HERA-Beschleuniger ist weltweit die einzige Anlage, in der Elektronen bzw. Positronen mit Protonen kollidieren. Der ringförmige Beschleuniger besteht aus zwei Strahlrohren, die ca. 10-25 m unter der Erde verlaufen. An zwei Stellen werden die gegenläufigen Strahlen gekreuzt und die Teilchenpakete zur Kollision gebracht (auch *bunch crossing* genannt). Dort befinden sich die Experimente H1(Halle Nord) und ZEUS(Halle Süd). Zwei weitere Experimente, HERA-B und HERMES nutzen jeweils nur einen Teilchenstrahl. HERMES untersucht mit polarisierten Elektronen den Nukleonspin, während HERA-B die CP-Verletzung im System der neutralen B-Mesonen untersucht.

Neben der Schwerpunktenergie ist die sog. Luminosität  $\mathcal{L}$  ein wichtiger Betriebsparameter. Darunter versteht man das Verhältnis zwischen Ereignisrate  $dN/dt$  und dem Wirkungsquerschnitt  $\sigma$ :

$$\frac{dN}{dt} = \mathcal{L}\sigma \quad (2.1)$$

---

<sup>1</sup>HERA: **H**adron **E**lektron **R**ing **A**nlage

<sup>2</sup>*upgrade*: Erweiterung, Verbesserung

Protonenenergie	920 GeV
Elektronen-/Positronenenergie	27.6 GeV
Schwerpunktenergie	319 GeV
Luminosität $\mathcal{L}$	$1.5 \cdot 10^{31} \text{ cm}^{-2} \text{ sec}^{-1}$
Ringumfang	6336 m
Anzahl der Teilchenpakete im Ring	je 210
Bunch Crossing Frequenz (sog. HERA-Clock)	10.4 MHz

Tabelle 2.1: Technische Daten des HERA-Beschleunigers.

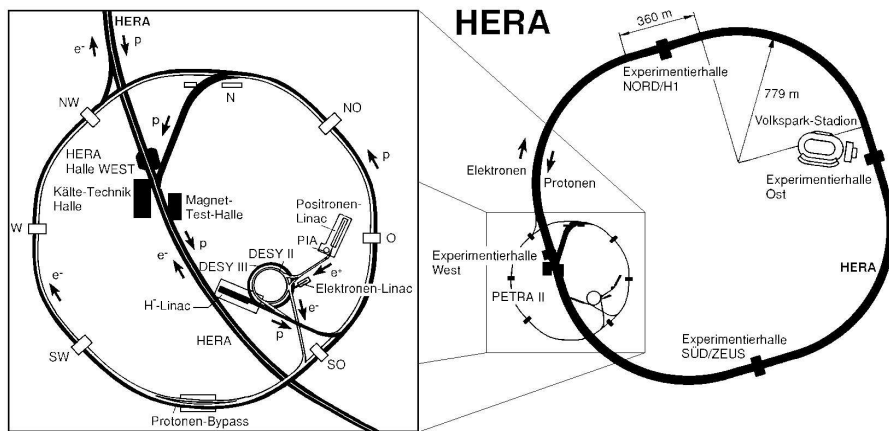


Abbildung 2.1: DESY-Übersicht: HERA-Beschleuniger (rechts) mit seinen Vorbeschleunigern (links).

Die gesamte Anzahl von Ereignissen ist demnach proportional zu der integrierten Luminosität  $L = \int \mathcal{L} dt$ . Bild 2.2 stellt die von HERA produzierte (links) und die von H1 genutzte integrierte Luminosität (rechts) dar.

Einige der aktuellen Forschungsbereiche bei H1 sind:

- Bestimmung der Protonenstrukturfunktion  $F_2(x, Q^2)$  in Abhängigkeit von  $x$  und  $Q^2$ . Im Quark-Parton-Modell beschreibt  $x$  den relativen Anteil des Parton-Impulses am Proton-Gesamtimpuls und  $Q^2$  das Quadrat des Viererimpulsübertrages.
- Partonverteilungen in reellen und virtuellen Photonen
- Präzisionstests der starken und elektroschwachen Wechselwirkung
- Suche nach neuer Physik jenseits des Standardmodells (z.B. Supersymmetrie)

Eine ausführliche Beschreibung der Fragestellungen ist unter [H100] oder [DESY00] zu finden.

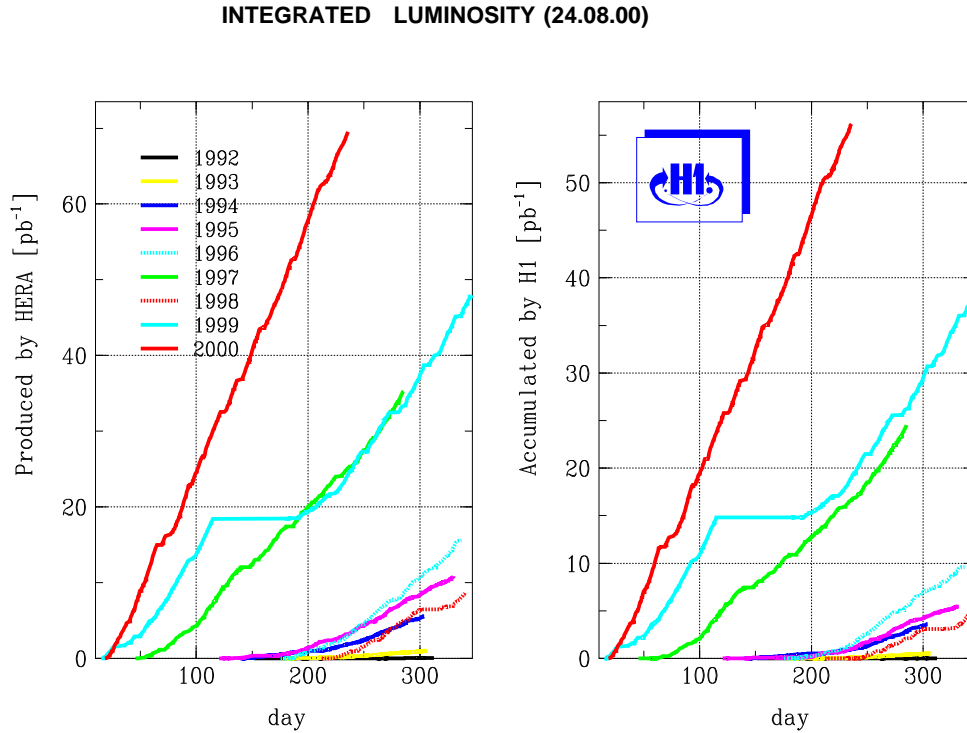


Abbildung 2.2: Die integrierte Luminosität von HERA und H1 im Jahresverlauf.

## 2.2 Der H1-Detektor

Bei der Konzeption des H1-Detektors wurde besonderer Wert auf die eindeutige Identifizierung von Elektronen und die genaue Messung ihrer Energie gelegt. Hierzu ist eine gute Energie- und Impulsaufösung notwendig. Weiterhin muss der Detektor die Wechselwirkungszone vollständig umschließen (sog.  $4\pi$ -Geometrie), um neutrale Teilchen über die Impulserhaltung messen können. Eine ausführliche Beschreibung des gesamten Detektors findet man in [H196].

In der Abbildung 2.3 kommen die Protonen von rechts, die Elektronen von links. Bezogen auf das H1-Bezugssystem entspricht die Flugrichtung der Protonen der  $+z$ -Richtung. Durch die unterschiedlichen Strahlenergien ist der Detektor in  $+z$ -Richtung (auch als *vorwärts* bezeichnet) massiver als in rückwärtiger Richtung.

Vom Wechselwirkungspunkt im Zentrum aus betrachtet beginnt der Detektor mit einem Siliziumstreifendetektor, umgeben von zylindrischen Drahtkammern. Sie bilden das Spurkammersystem, welches Spuren geladener Teilchen aufzeichnet und den genauen Ursprung der Wechselwirkung bestimmt. Um die Energie der Teilchen zu messen, ist das Spurkammersystem von einem Flüssig-Argon-Kalorimeter (LAr) umgeben, in dem auch die Position der Energieabgabe registriert wird. Sowohl die elektromagnetische als auch die hadronische Komponente des LAr-Kalorimeters deckt den Grossteil des Vorwärtsbereiches

## HERA Experiment H1

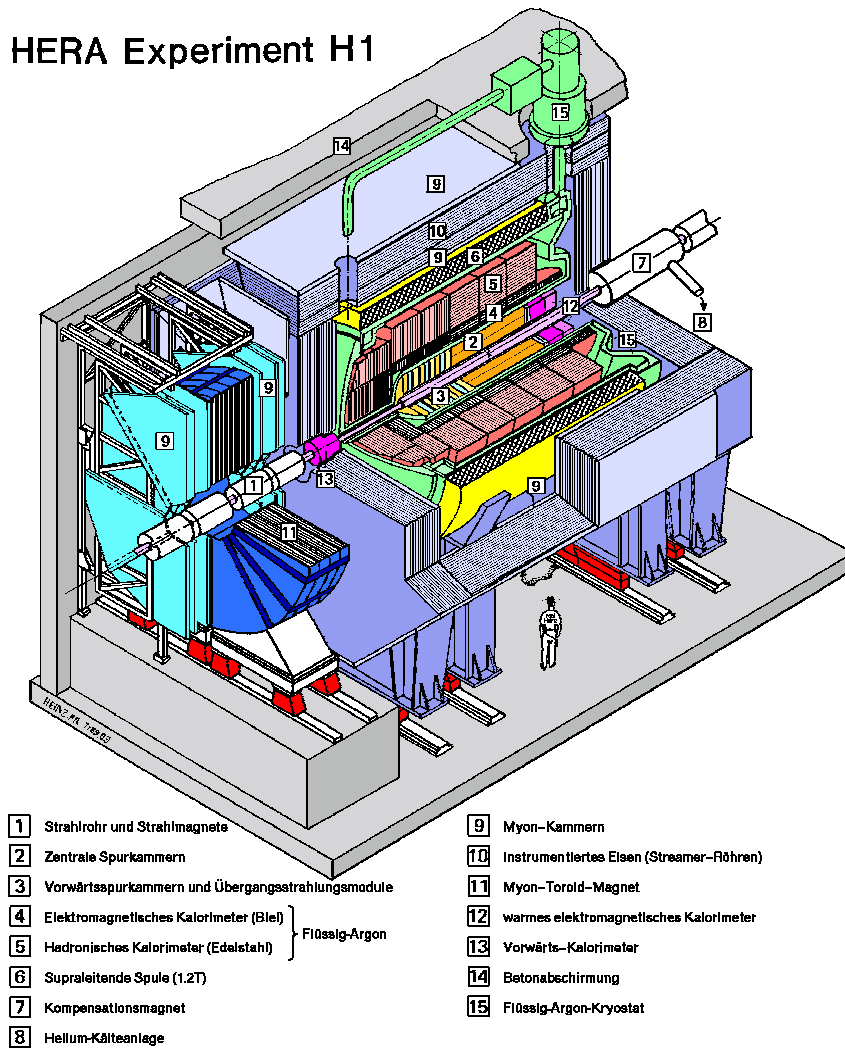


Abbildung 2.3: Der H1-Detektor.

ab. In direkter Umgebung des Strahlrohres ist das hadronische Kalorimeter PLUG installiert. Der rückwärtige Bereich wird durch das sogenannte Spaghetti-Kalorimeter (SPACAL) geschlossen.

Um den Transversalimpuls eines Teilchens zu bestimmen wird die Krümmung seiner Spur vermessen. Das dazu benötigte Magnetfeld (1.15 T in  $+z$ -Richtung) wird von einer supraleitenden Spule erzeugt, welche sich direkt außerhalb des LAr-Kalorimeters befindet. Die Rückführung des magnetischen Flusses erfolgt durch ein Eisenjoch, welches durch eingebaute Streamerkammern ein zusätzliches hadronisches Kalorimeter bildet. Außerhalb des Eisenjochs befinden sich in Vorwärtsrichtung noch ein Myonspektrometer mit Spurkammern, in Rückwärtsrichtung das System zur genauen Bestimmung der Luminosität.

### 2.2.1 Das H1-Spurkammersystem

Das Spurkammersystem des H1-Experiments dient zur Spurerkennung und gemeinsam mit den Kalorimetern zur Teilchenidentifikation. Dabei liegt die Genauigkeit der Messung des Transversalimpulses bei  $0.3\%/GeV$  und die polare Winkelauflösung  $\sigma_\theta$  bei ca. 1 mrad.

Durch die asymmetrischen Energien der Teilchenstrahlen werden bei einer Kollision (auch *event* genannt) mehr Teilchen in den Vorwärtsbereich des Detektors gestreut. Im Längsschnitt (Abbildung 2.4) ist die Unterteilung in ein vorderes und ein zentrales Spurkammersystem (**F**orward **T**racking **D**evice, FTD, **C**entral **T**racking **D**evice, CTD) dargestellt. Hierbei umfasst der FTD den Polarwinkelbereich  $5^\circ < \theta < 25^\circ$  und der CTD den Bereich  $25^\circ < \theta < 155^\circ$ . Die seit 1995 mit dem SPACAL installierte rückwärtige Driftkammer (**B**ackward **D**rift **C**hamber, BDC) misst zusätzlich Spuren bei  $153^\circ < \theta < 177^\circ$ . Die Daten der zentralen und Vorwärts-Spurkammern dienen dem Triggersystem (siehe Abschnitt 2.3) zur genauen Bestimmung des Wechselwirkungszeitpunktes.

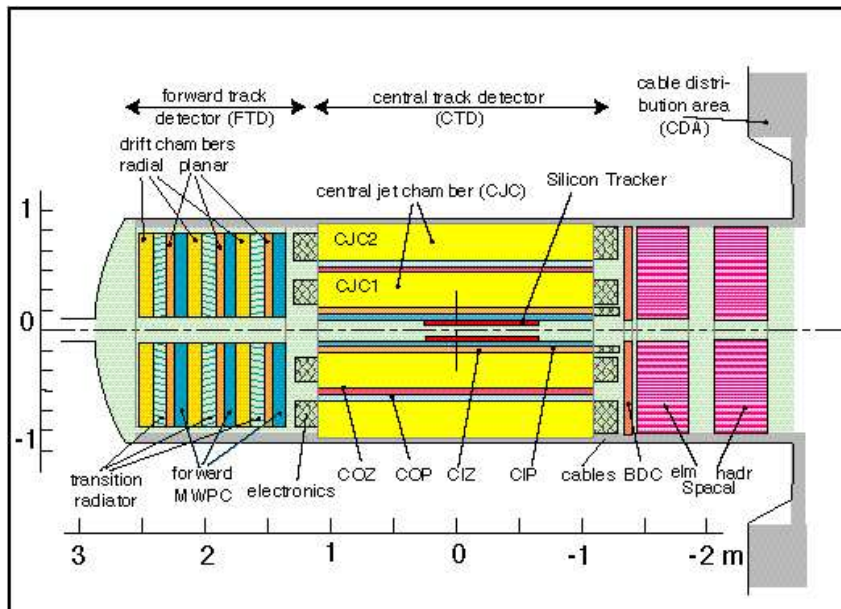


Abbildung 2.4: Längsschnitt des H1-Spurkammersystems.

Für eine genaue Vermessung der Spuren dienen die beiden zentralen Jet-Kammern CJC1 und CJC2 (**C**entral **J**et **C**hamber, CJC). Die Anordnung der Kammerdrähte parallel zum Magnetfeld (d.h. parallel zur  $z$ -Achse) ergibt eine hohe Ortsauflösung in der  $r - \varphi$ -Ebene. Durch Auslese und Signalvergleich an beiden Enden der Drähte ist ebenfalls eine Bestimmung der  $z$ -Koordinate möglich, jedoch mit reduzierter Genauigkeit. Die innere und äußere  $z$ -Kammer (**c**entral **i**nnere/**o**utere **z**-chamber, CIZ/COZ) umschließen direkt die CJC1 (Abbildung 2.5). Die Signaldrähte dieser beiden Kammern sind senkrecht zur Strahlrichtung angeordnet und erlauben so eine höhere Auflösung der  $z$ -Koordinate und damit des Polarwinkels einer Spur.

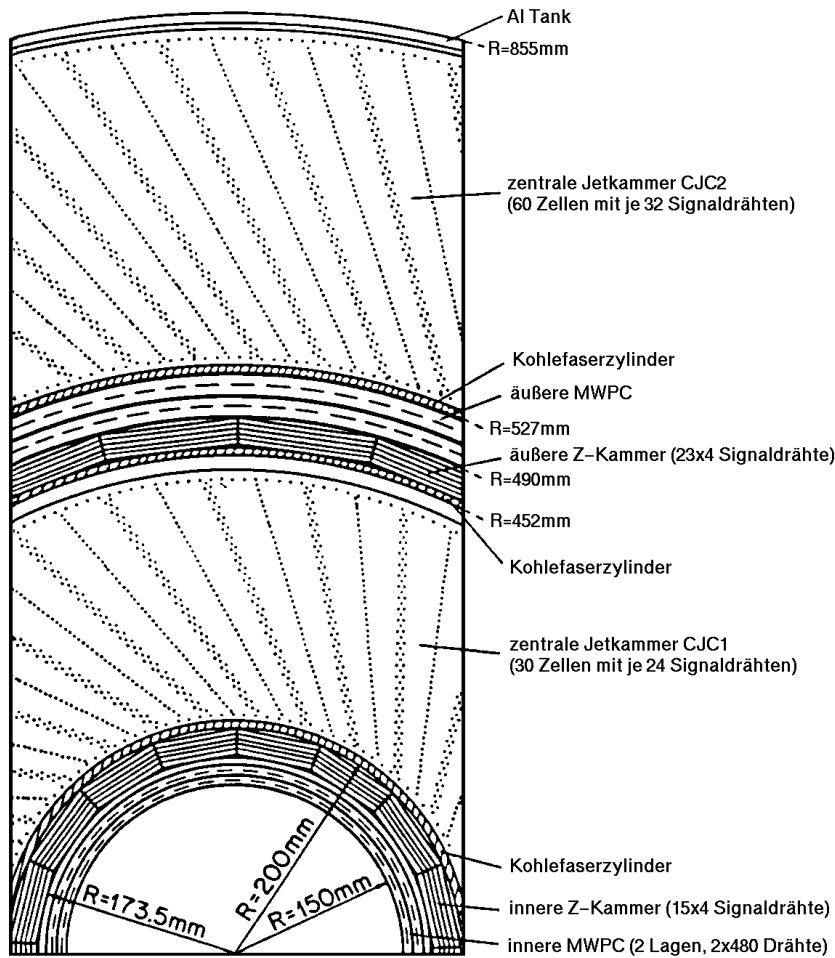


Abbildung 2.5: Querschnitt des Spurkammersystems [H100].

Innerhalb der CIZ bzw. außerhalb der COZ folgen zwei weitere Vieldrahtproportional-kammern, die zentrale innere und äussere Proportional-kammer (CIP, COP). Sie liefern schnelle Informationen für das Triggersystem für eine schnelle Bestimmung der  $z$ -Position des Wechselwirkungspunktes (oder auch *Vertex*). Dies ist nötig um Untergrundereignisse zu erkennen. Ein Beispiel für solche Untergrundereignisse sind Wechselwirkungen des Protonenstrahls mit dem Restgas im Strahlrohr. Dies geschieht mit einer Rate von ca. 10 kHz, während die Photoproduktionsrate nur ca. 20-30 Hz beträgt. Die CIP-Kammer, ihre Auslese und das anschließende Triggersystem werden im Rahmen des Upgrade 2000 Projektes (siehe Abschnitt 2.4) durch ein neues System ersetzt. Für eine genaue Positionsbestimmung des Vertex ist innerhalb der CIP noch ein Silizium Vertex Detektor (**C**entral **S**ilicium **T**racker, CST) installiert, der eine Positionsaufösung von weniger als  $100\mu\text{m}$  hat.

## 2.3 Das H1-Triggersystem

Durch die geringe Wahrscheinlichkeit einer Teilchenkollision (etwa eine pro tausend Strahlkreuzungen) ist eine frühe Unterscheidung zwischen physikalisch relevanten Ereignissen und den Untergrundereignissen in der Datenausleseketten nötig, um die übertragene und schließlich aufgezeichnete Datenmenge klein zu halten. Häufigste Auslöser für Untergrundereignisse sind: Synchrotronstrahlung des Elektronenstrahls, Wechselwirkung des Protonenstrahls mit dem Restgas im Strahlrohr bzw. mit dem Strahlrohr selbst. Für eine Erkennung dieser Ereignisse bedarf es einer schnellen Logik, welche aufgrund definierter Signaturen bestimmte Ereignisse verwirft oder zur Weiterverarbeitung auswählt. Dieser sogenannte Trigger<sup>3</sup> besteht aus mehreren sogenannten Subtriggern, die nur Daten einer Detektorkomponente analysieren. Die Entscheidung, ob ein Ereignis gespeichert werden soll, fällt in einem mehrstufigen Prozess. Dabei wird eine nächste Stufe (auch *Triggerlevel* genannt) nur dann aktiv, wenn die vorhergehende Stufe das Ereignis als gültig erkannt hat.

Wegen der Funktionsweise einiger Subdetektoren hängt jede Auslese mit einer Totzeit zusammen, die einige  $\mu\text{s}$  betragen kann. Während dieser Zeitspanne kann der Detektor keine neuen Daten aufnehmen. Somit gehen alle in dieser Zeitspanne stattfindenden Ereignisse verloren. Daher ist es wichtig, dass der erste Triggerstufe möglichst schnell eine Entscheidung treffen kann. Dazu werden schnell verfügbare und daher einfache Triggerinformationen verwendet:

- Bestimmung der Vertexposition  
Dazu gehören:
  1. Vorwärtsspurtrigger
  2. Rückwärtsflugzeittrigger
  3. z-Vertex Trigger
  4. CJC-Trigger
- Kalorimeter-Trigger (LAr, SPACAL)
- Myon-Trigger
- Luminositätstrigger

Wird ein Ereignis von der ersten Triggerstufe als gültig erkannt (Eventrate ca. 1 kHz), so wird die Datenaufnahme gestoppt und die zweite Triggerstufe aktiv. Sie kann sich jetzt bei gestoppter Datennahme mit neuronalen Netzwerken die Topologie des betreffenden Ereignisses anschauen. Nach ca. 20  $\mu\text{s}$  entscheidet dieser L2-Trigger, ob das Ereignis verworfen wird und die Datennahme neu gestartet wird oder an die nächste Triggerstufe weitergegeben wird. Erst bei einer positiven L2-Triggerentscheidung werden die gesamten Detektordaten ausgelesen.

---

<sup>3</sup>to trigger: auslösen

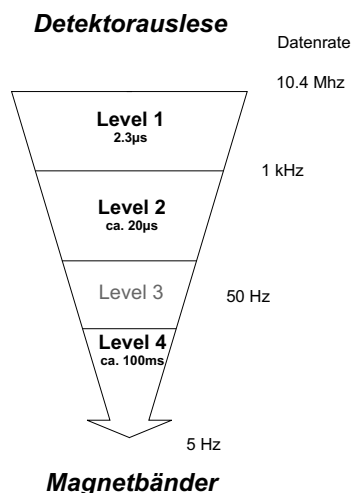


Abbildung 2.6: Datenreduktion durch das H1-Triggersystem.

Bis heute wurde die dritte Triggerstufe nicht in die Triggerlogik integriert. Die vierte Triggerstufe entscheidet über die Aufzeichnung der Detektordaten. Zusätzlich wird ca. 1% der hier verworfenen Daten aufgezeichnet, um die Leistungsfähigkeit des L4-Triggers zu beurteilen.

Die aufgezeichneten Daten werden offline (d.h. unabhängig von der Datennahme) weiter verarbeitet und zum kompletten Ereignis rekonstruiert. Dieser Schritt wird oft auch als "Level 5" bezeichnet.

## 2.4 Der H1 Upgrade 2000

Im September 2000 wurde der HERA-Beschleunigerring abgeschaltet, um im Rahmen des HERA Luminositäts-Upgrade erweitert zu werden [DESY97]. Ziel ist es, die Luminosität um einen Faktor 5 zu steigern. Dies geschieht durch bessere Fokussierung der Teilchenstrahlen auf den Wechselwirkungspunkt und durch einen höheren Protonenstrom. Um die bessere Fokussierung zu erreichen, werden supraleitende Magnete benötigt, welche sehr nah an der Wechselwirkungszone angebracht werden müssen. Für das H1-Experiment bedeutet dies sowohl mechanische Änderungen im Experiment als auch Anpassungen der Detektoren durch die erwarteten höheren Teilchenraten und die höhere Anzahl an Untergrundereignissen. Insbesondere wird eine Erhöhung der Proton-Restgas Kollisionen erwartet. Durch einen neuen z-Vertex-Trigger wird eine bessere Unterscheidung zwischen solchen Untergrundereignissen und den physikalisch interessanten Kollision möglich. Die nötigen Erweiterungen des inneren Spurkammersystems umfassen auch einen Neubau der CIP-Kammer, welcher im folgenden beschrieben wird.



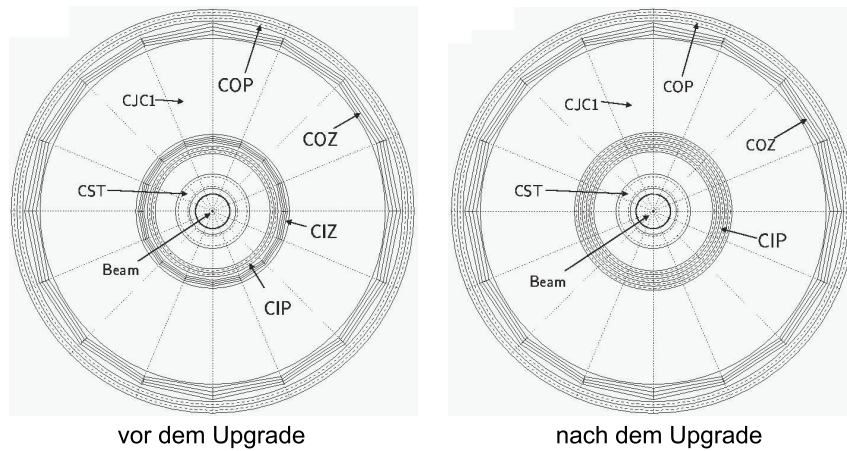


Abbildung 2.7: Inneres Spurkammersystem vor und nach dem Upgrade [Be00].

## 2.5 Das CIP2000-Projekt

Für das CIP2000-Projekt wird die alte zweilagige Kammer durch eine fünflagige Neukonstruktion ersetzt [H198-0]. Bei solch einer Vieldrahtproportionalkammer (MWPC: Multi Wire Proportional Chamber) ionisiert ein energiereiches Teilchen auf seinem Weg durch das Gasvolumen Gasmoleküle auf seiner Bahn. Diese *Primärionisation* wird durch das elektrische Feld um einen Hochspannung führenden Draht um ungefähr einen Faktor  $10^4$  verstärkt. Dieser Ladungsstrom induziert auf einer Auslesefläche (auch *Pad* genannt) ein Ladungssignal, welches von der angeschlossenen Auswerteelektronik (siehe Abschnitt 3.2) ausgelesen wird.

Im Gegensatz zu der alten CIP-Kammer hat die neue Kammer statt zwei Ebenen fünf direkt aufeinanderfolgende Ebenen mit jeweils ca. 120 Pads in 16  $\varphi$ -Sektoren (Abbildung 2.8), verglichen mit 60 Pads in 8  $\varphi$ -Sektoren bei der alten CIP-Kammer. Statt 960 Kanäle werden jetzt also knapp 9600 Kanäle ausgelesen.

Um die Entwicklung eines Triggeralgorithmus zu vereinfachen, wurde eine *projektive Pad-geometrie* gewählt. Im Gegensatz zu einer symmetrischen Geometrie ist die Größe der Pads nicht konstant, sondern wird von innen nach außen größer (siehe Abbildung 2.9). Da die Längen der fünf Kammerebenen gleich sind, bedeutet dies eine Abnahme der Padanzahl pro  $\varphi$ -Sektor auf einer Ebene, so hat ein Sektor auf der ersten Ebene 119 Pads und ein Sektor auf fünften Ebene nur noch 93 Pads. Der Einfluss auf die Triggerprogrammierung wird in [Ur00] näher beschrieben.

Folgende Anforderungen stellt das H1-Experiment an das neue Kammersystem:

- Durch die Modifikationen im Detektor und am Strahlrohr wird eine ca. 10-fach höhere Synchrotronstrahlung erwartet. Um die Kammerströme niedrig zu halten wird eine niedrigere Kammerhochspannung und damit eine geringere Gasverstärkung angestrebt.

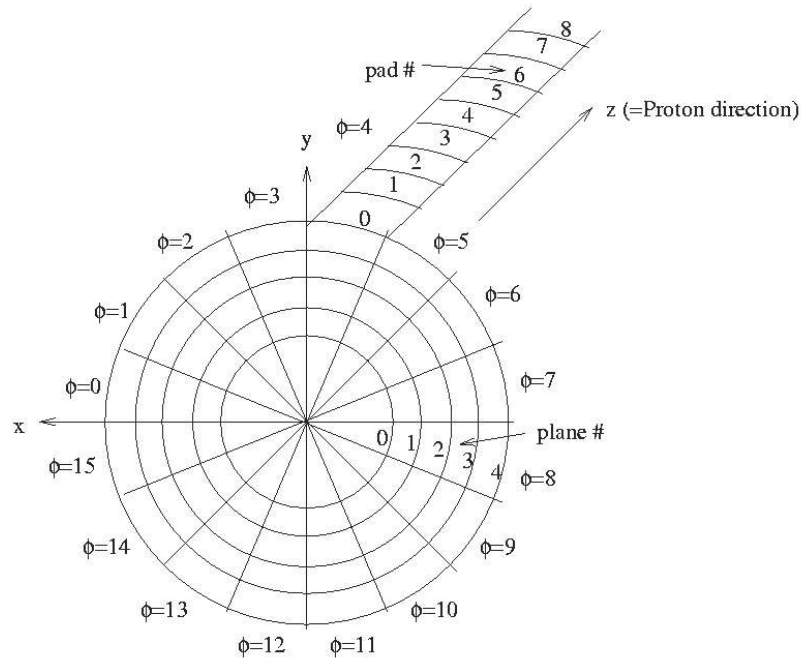


Abbildung 2.8: Schematische Darstellung einer CIP-Kammerebene [St98].

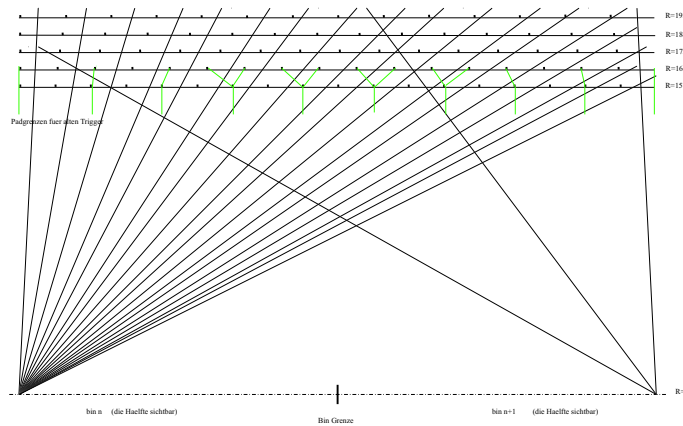


Abbildung 2.9: Projektive Padgeometrie der neuen CIP-Kammer.

- Bedingt durch das Design des zentralen Siliziumvertexdetektors muss das neue CIP-System in der Lage sein, die 3-fach Mehrdeutigkeit (*Ambiguität*) des CST aufzulösen. Dies erfordert eine  $z$ -Auflösung von rund 1 cm.
- Es zeigte sich beim alten CIP-System, dass selbst ohne die Daten der CJC eine Kombination von CST- und CIP-Information für eine Erkennung von Ereignissen mit hohem Impulsübertrag (*high- $Q^2$* -Ereignisse) ausreicht.

- Genaue Bestimmung des Wechselwirkungszeitpunktes (*Bunch Timing*). Das  $zVTX-T_0$  Signal des  $z$ -Vertex Triggers wird in vielen weiteren Triggern von H1 zur Bestimmung des genauen Wechselwirkungszeitpunktes benutzt. Das neue CIP-System soll außerdem im Vorwärtsbereich einen größeren Polarwinkelbereich ( $168^\circ$  anstatt  $150^\circ$ ) abdecken, um die vordere MWPC zu ersetzen.
- Durch den erhöhten Protonenstrom wird eine erhöhte Proton-Restgas Wechselwirkungsrate erwartet. Die  $z$ -Vertexinformation dient dazu, diesen Untergrund von physikalisch relevanten Kollisionen in der Wechselwirkungszone zu trennen (siehe Abbildung 2.10).

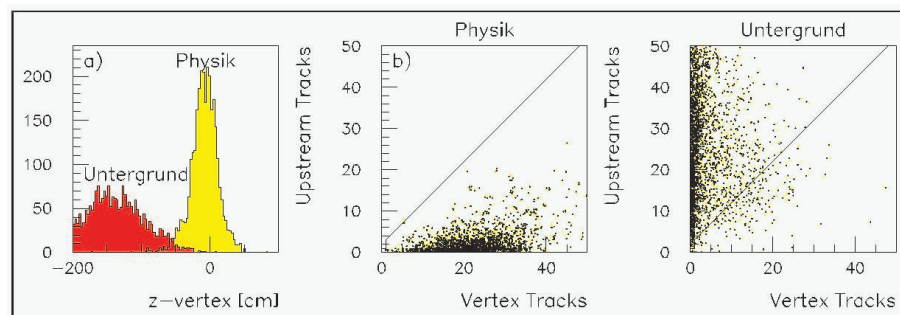


Abbildung 2.10: (a) simulierte  $z$ -Vertex Verteilung einer 5-lagigen CIP-Kammer mit Trennung nach Untergrund und physikalischen Events, (b) Verteilung der Untergrundspuren ( $z < -70$  cm) und (c) der Spuren aus dem Vertexbereich ( $|z| < 50$  cm). Die eingezeichnete Linie stellt den benutzten Schnitt zwischen Physik- und Untergrundereignissen dar [H198-1].



## Kapitel 3

# Die CIP-Ausleseelektronik

Um die Kammersignale auszulesen, schließt an der -z-Seite der Kammer die Ausleseelektronik an. Sie wandelt die analogen Signale in digitale um und überträgt diese über 40 m in den sogenannten Elektroniktrailer. Dort werden die Signale weiter aufbereitet und der Triggerelektronik weitergegeben. Im folgenden Kapitel wird diese Ausleseketten kurz vorgestellt und näher auf das erste Element, den CIPix-Auslesechip, eingegangen.

### 3.1 Die digitale Ausleseketten

**Die CIPix-Auslesekarte mit optischem Datenlink :** Über einen 120-poligen Stecker werden die Kammersignale direkt in den CIPix-Chip gegeben (siehe Abschnitt 3.2) und digitalisiert. Damit die 60 Kanäle pro Chip nicht alle einzeln über Signalleitungen geführt werden müssen, werden sie *gemultiplext*. Dies bedeutet in einem ersten Schritt die Zusammenfassung von jeweils vier Kanälen im CIPix-Chip. Die Information wird nicht mehr parallel über vier Leitungen sondern seriell, also hintereinander, über eine Leitung übertragen. Dies hat gleichzeitig auch eine Vervielfachung des Datentaktes mit einem Faktor vier auf 41.6 MHz zur Folge. Diese 15 digitalen Kanäle werden zusammen mit einem Signal, welches jeweils das erste Signal einer solchen Vierergruppe markiert, von einem Multiplexer von *Hewlett-Packard* erneut gemultiplext. Dabei werden jedem Datenwort weitere vier Bits hinzugefügt, welche die Datenworte synchronisieren und eine Prüfsumme enthalten. Damit hat man nur noch eine differentielle Signalleitung, allerdings mit einem Datentakt von 832 MBit/s. Dieses Signal wird dem optischen Hybriden (entwickelt vom PSI, Villigen/CH) zugeführt und dort mit einer Laserdiode in die optische Faser eingekoppelt.

Um die Anzahl der optischen Kabel gering zu halten, hat jedes Kabel acht Fasern. Zwei der Fasern übertragen das von der Triggerelektronik synchronisierte HERA-Taktsignal zu den Auslesekarten, zwei weitere senden analoge Kammersignale in den Elektroniktrailer zum Überwachen der Kammereigenschaften. Damit bleiben für die digitalen Kammerdaten noch vier Fasern, entsprechend vier CIPix-Chips bzw. zwei  $\varphi$ -Sektoren. Da eine Ausleseplatine aber immer nur einen  $\varphi$ -Sektor abdeckt, muß zwischen zwei benachbarten

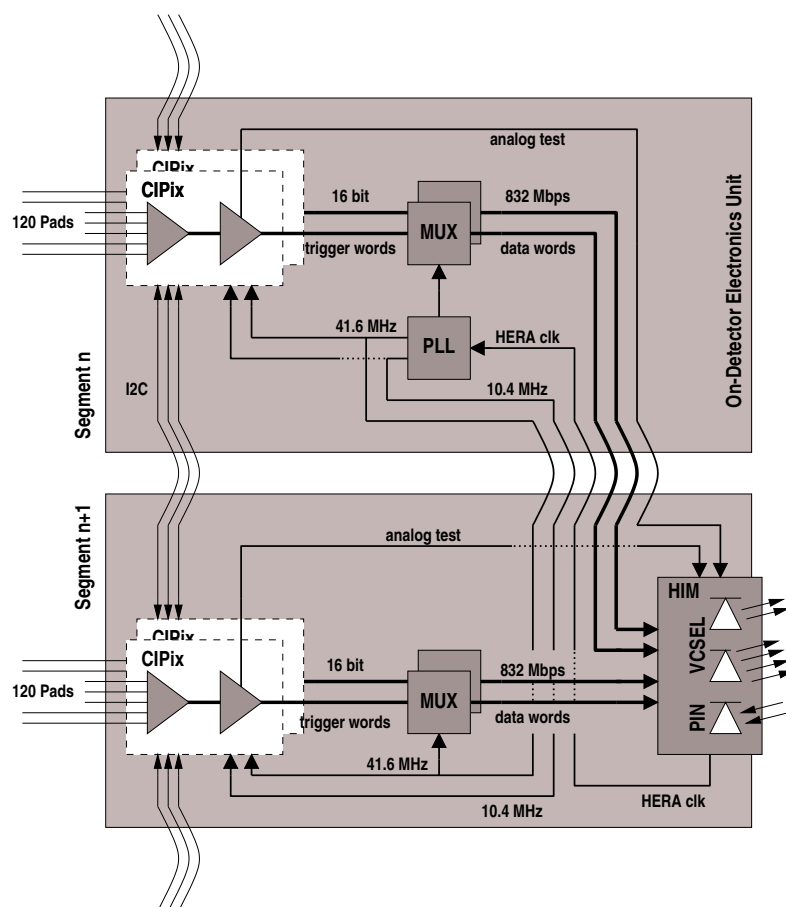


Abbildung 3.1: Blockschaltbild der CIP-Auslesekarte [Lü00].

Sektoren eine Verbindung bestehen, über welche die 800 MHz Daten zu einer Auslesekarte geleitet werden (Abbildung 3.1). Demzufolge haben zwei durch eine flexible Leitung verbundene Auslesekarten (auch *Einheit* genannt) nur einen optischen Hybrid. Somit gibt es pro Kammerlage acht Einheiten mit je einem optischen Hybrid und einem optischen Kabel.

**Receiverkarte und Triggerelektronik :** Das optische Kabel führt in den Elektroniktrailer auf die *Receiverkarte*. Auf ihr werden die optischen Signale wieder in elektrische Signale gewandelt und gedemultiplext, so daß wieder die vierfach gemultiplexten Datenpakete mit einem Datentakt von 41.6 MHz vorliegen. Die Receiverkarten werden in eine speziell angefertigte *Backplane* gesteckt, in der die Zuordnung (*Mapping*) der Kammerdaten auf die Triggerkarten stattfindet, die auf der Vorderseite der Backplane eingesteckt werden. Jede Triggerkarte verarbeitet die Kammerdaten eines  $\varphi$ -Sektors für die Spurrekonstruktion. Eine ausführliche Beschreibung dieser Triggerkarten findet man in [Ur00].

## 3.2 Der CIPix-Auslesechip (Version 1.1)

Der CIPix-Auslesechip des ASIC-Labors der Universität Heidelberg ist eine Weiterentwicklung des HELIX-Chips [ASIC96], der unter anderem zur Auslese der inneren Spurkammern bei HERA-B am DESY benutzt wird. Abbildung 3.2 zeigt das interne Blockschaltbild des Auslesechips.

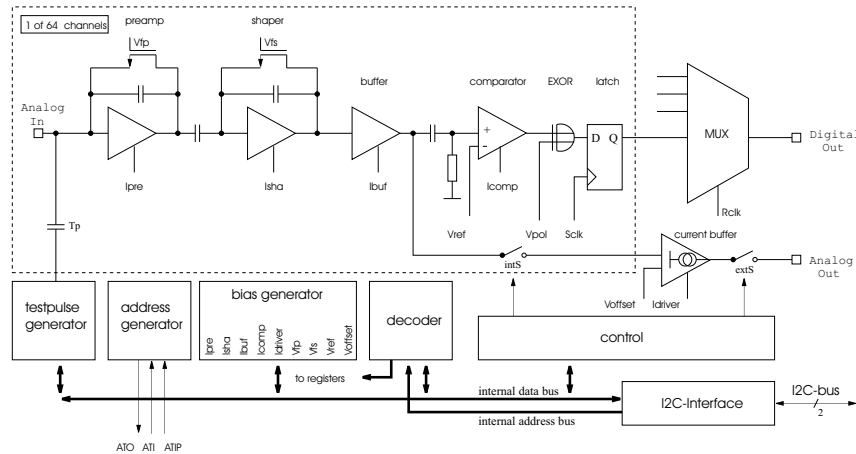


Abbildung 3.2: Blockschaltbild des CIPix V1.0 [Lö98].

### 3.2.1 Die interne Schaltung des CIPix-Chips

Für den CIPix-Chip wurde der analoge Schaltungsteil des HELIX-Chips übernommen. Dieser setzt sich zusammen aus 64 Kanälen mit je

- einem ladungsempfindlichen rauscharmen Vorverstärker,
- einem *Shaper*, der aus dem Kammersignal einen semigausschen Puls erzeugt und
- einem Komparator (manchmal auch 1-Bit DAC<sup>1</sup> genannt) mit einstellbarer Schwelle und wählbarer Polarität.

Ein in den Chip integrierter Multiplexer faßt jeweils vier digitale Kanäle zu einem digitalen Ausgang zusammen. Zusätzlich in den Chip integriert ist eine  $I^2C$ -Schnittstelle zur Ansteuerung (siehe Abschnitt 3.2.2), ein Testpulsgenerator zur Einkopplung einer bekannten Ladung von ca. 50.000 bzw. 100.000 Elektronen auf bestimmte Kanäle sowie einen schaltbaren analogen Kanal zur Überprüfung der Pulsform der einzelnen Kanäle. Interne Referenzstrom- bzw. Referenzspannungsquellen dienen zur Arbeitspunkteinstellung der Verstärker und des Komparators. Der  $I^2C$ -Adressgenerator vergibt mit Hilfe zweier Adressvergabeleitungen selbständig die Adressen an alle CIPix-Chips einer Kammerlage.

<sup>1</sup>DAC: digital-to-analog converter

### 3.2.2 Einstellbare Parameter

Um die Eigenschaften des CIPix-Chips an die Gegebenheiten des Experiments anzupassen, können verschiedene Einstellungen im Chip vorgenommen werden. Dies geschieht über die Programmierung der *Register* im Chip. Die Bezeichnung der Register ist in Tabelle 3.1 dargestellt.

Registeradresse (Hex-Wert)	Registername	Beschreibung
00	CMA	Erkennungsregister für <i>Consecutive Mode Addressing</i>
01	$I_{\text{pre}}$	Vorverstärker-Biasstrom
02	$I_{\text{sha}}$	Pulsformer-Biasstrom
03	$I_{\text{buf}}$	Treiber-Biasstrom
04	$I_{\text{comp}}$	Komparator-Biasstrom
05	$I_{\text{driver}}$	Biasstrom des analogen Ausgangstreibers
06	$V_{\text{fp}}$	Rückkoppelwiderstand des Vorverstärkers
07	$V_{\text{fs}}$	Rückkoppelwiderstand des Pulsformers
08	$V_{\text{ref0}}$	Komparatorschwelle für die Kanäle 0-31
09	$V_{\text{ref1}}$	Komparatorschwelle für die Kanäle 32-63
0A	$V_{\text{offset}}$	Offseinstellung des analogen Stromausgangs
0B	AnalogOut	Einstellung des analog auszulesenden Kanals
0C	TpReg	Testpulskontrollregister
0D	CIPixReg	Steuerung der digitalen Ausgänge

Tabelle 3.1: Beschreibung der internen CIPix-Register, Version 1.1 [Lö98]

Im folgenden soll auf die einzelnen Register kurz eingegangen werden. Für eine detailliertere Beschreibung sei auf [Lö98] verwiesen.

- **CMA-Register**

Dieses Register bestimmt die Art des Zugriffs auf die Kontrollregister. Es wird bei jedem Schreib- bzw. Lesezugriff auf den Chip beschrieben. Wird eine '0' geschrieben, werden bei dem darauffolgenden Zugriff alle anderen Register jeweils geschrieben oder gelesen. Bei einem anderen geschriebenen Wert erfolgt der Zugriff nur auf das durch diesen Wert bestimmte Register. Auf die  $I^2C$ -Schreib- und Lesesequenz wird in Abschnitt 4.1 (Adressierung und Programmierung der CIPix-Chips) näher eingegangen.

- **Vorverstärker-Biasstrom  $I_{\text{pre}}$**

Mit dem Vorverstärkerstrom kann die Anstiegsgeschwindigkeit des Vorverstärkers und seine Ausgangsimpedanz verändert werden. Eine Erhöhung von  $I_{\text{pre}}$  vergrößert die Amplitude des Ausgangssignals und reduziert den negativen Unterschwinger. Durch die gleichzeitige Variation der Steilheit des Eingangstransistors mit dem Verstärkerstrom läßt sich auch eine Anpassung an die Lastkapazität am Eingang erreichen.



- **Pulsformer-Biasstrom  $I_{\text{sha}}$**   
 $I_{\text{sha}}$  wirkt ähnlich wie  $I_{\text{pre}}$ , da der grundlegende Aufbau von Vorverstärker und Pulsformer bis auf Dimensionierung der Transistoren identisch ist.
- **Treiber-Biasstrom  $I_{\text{buf}}$**   
 Einstellung des Arbeitsstroms für den Treiber. Dieser Parameter hat keine Auswirkung auf die Pulsform.
- **Komparator-Biasstrom  $I_{\text{comp}}$**   
 Einstellung des Arbeitsstroms für den Komparator. Dieser Parameter hat keine Auswirkung auf die Pulsform.
- **Biasstrom des analogen Ausgangstreibers  $I_{\text{driver}}$**   
 Einstellung des Arbeitsstroms für den Treiber des analogen Kanals. Dieser Parameter hat keine Auswirkung auf die Pulsform.
- **Rückkoppelwiderstand des Vorverstärkers  $V_{\text{fp}}$**   
 Größere Werte von  $V_{\text{fp}}$  verringern den Widerstand im Rückkoppelzweig des Vorverstärkers und damit die Zeitkonstante  $\tau_p$ . Ist diese Zeitkonstante groß gegen die entsprechende Zeitkonstante im Pulsformer, arbeitet der Vorverstärker linear und  $V_{\text{fp}}$  hat keinen Einfluß auf die Pulsform.
- **Rückkoppelwiderstand des Pulsformers  $V_{\text{fs}}$**   
 Hier wird die Integrationszeit des Pulsformers festgelegt. Ein größerer Wert von  $V_{\text{fs}}$  verringert den Widerstand und damit das  $\tau_s$  bzw. die Integrationszeit. Dies führt zu einer geringeren Signalamplitude, da nicht das komplette Ladungssignal aufintegriert wird. Gleichzeitig verringert sich aber auch die zeitliche Länge des Signals.
- **Komparatorschwellen  $V_{\text{ref0}}$  bzw.  $V_{\text{ref1}}$**   
 Dies sind die Schwellen, welche zum Digitalisieren des analogen Signals benötigt werden. Hierbei wirkt  $V_{\text{ref0}}$  auf die analogen Eingänge 0-31,  $V_{\text{ref1}}$  auf die Kanäle 32-63. Beim Überschreiten der Schwelle ändert der Komparatorausgang zeitgleich seinen Pegel. Die Polarität des Signals kann mit dem  $V_{\text{pol}}$ -Bit im CIPixReg-Register gewählt werden (siehe unten).
- **Offseteinstellung des analogen Kanals  $V_{\text{offset}}$**   
 Um das analoge Ausgangssignal dem Aussteuerbereich des CIPix-Ausgangs anzupassen, kann mit  $V_{\text{offset}}$  der Gleichspannungspegel des Signals eingestellt werden.

Alle genannten Strom- und Spannungsregister lassen sich direkt in absolute Werte umrechnen. Bei einem einstellbaren Bereich der Spannungsreferenzen von -2 V bis +2 V ergibt dies eine Auflösung von 15,625 mV pro Bit, wobei die Komparatorschwellen noch zusätzlich mit einem 10:1 Teiler vor dem eigentlichen Diskriminatoreingang versehen sind. Bei den Stromreferenzen entspricht ein Bit 2,5  $\mu\text{A}$ .

Die weiteren CIPix-Register greifen auf die interne Logik zu:

- **Das AnalogOut-Register**

Mit diesem Register (Belegung siehe Abbildung 3.3) läßt sich ein beliebiger Eingangskanal auf den analogen Ausgang schalten. Dies dient zur Einstellung und Optimierung der Verstärkerparameter und zur Überwachung der Kammerfunktion.

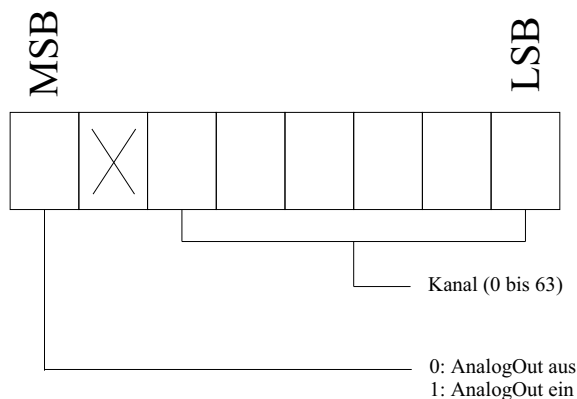


Abbildung 3.3: Funktionale Belegung des *AnalogOut*-Registers.

Hierbei muß darauf geachtet werden, daß pro  $\varphi$ -Sektor auf einer Ebene immer nur ein analoger Ausgang eingeschaltet ist, da sonst zwei Ausgangstreiber gleichzeitig auf die selbe Leitung zugreifen.

- **Das TpReg-Register**

Durch das TpReg-Register (Belegung siehe Abbildung 3.4) wird der interne Testpulsgenerator gesteuert. Hierbei werden abhängig vom Kanal jeweils 50000 bzw. 100000 Elektronen eingekoppelt. Dies erfolgt mit einer Wiederholfrequenz, die dem HERA-Takt geteilt durch die eingestellte Periode entspricht.

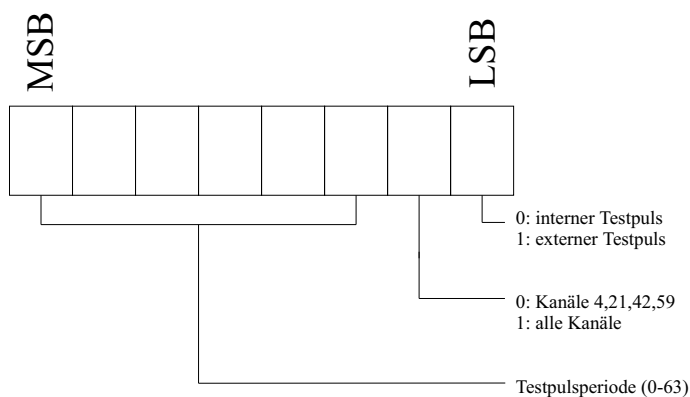


Abbildung 3.4: Funktionale Belegung des *TpReg*-Registers.

Alternativ kann im niedrigsten Bit eine externe Auslösung des Testpulsgenerators

gewählt werden. Diese erfolgt dann an einer Leitung direkt am CIPix-Chip. Mit einem weiteren Bit kann die Einkopplung entweder auf vier fest ausgewählte oder alle Kanäle gegeben werden. Bei der Einkopplung auf alle Kanäle muß berücksichtigt werden, daß bei einer hohen Anzahl von aktiven Kanälen die interne Spannungsreferenz zu sehr belastet wird und in der Spannung absinkt.

- **Das CIPixReg-Register**

Das in der Version 1.1 des CIPix-Chips neu hinzugekommene CIPixReg-Register (Belegung siehe Abbildung 3.5) enthält die Steuerbits für die Polarität der digitalen Daten  $V_{pol}$ ,  $EDSSync$  und  $MUXDir$ .

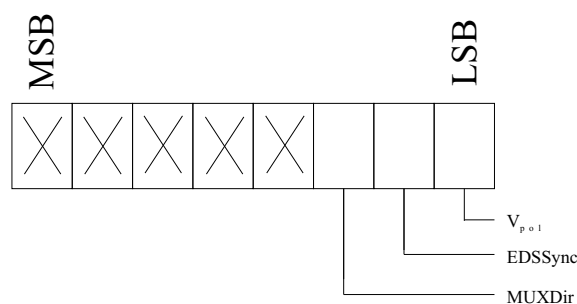


Abbildung 3.5: Funktionale Belegung des *CIPixReg*-Registers.

$V_{pol}$  wurde anstelle des  $V_{pol}$ -Pads der Version 1.0 implementiert, somit kann die Polarität der Datensignale noch im Experiment geändert werden.  $EDSSync$  bestimmt den Zeitpunkt, zu der das EmptyDataSet-Signal<sup>2</sup> seinen Pegel ändert. Die erfolgt entweder zeitgleich mit den entsprechenden digitalen Ausgängen oder synchron zum HERA-Takt. Das  $MUXDir$ -Bit steuert die Reihenfolge des vierfachen Multiplexers im CIPix-Chip. Dieses Bit wurde nach dem Neudesign des Prototypen der CIPix-Auslesekarte nötig, da durch die Anordnung der CIPix-Chips um den Kammerstecker herum der für die Leiterbahnführung zur Verfügung stehende Platz auf der Auslesekarte nicht ausgereicht hätte. Durch eine umgekehrte Reihenfolge der digitalen Kanäle, die durch Setzen des  $MUXDir$ -Bits aktiviert wird, wird die Anzahl der benötigten Durchkontaktierungen auf der Karte (sog. *Vias*) und der damit verbundene Ressourcenverbrauch drastisch reduziert. Dies hat allerdings zur Folge, daß für eine korrekte Auslese der Kammerdaten bei jedem zweiten CIPix-Chip dieses  $MUXDir$ -Bit gesetzt werden muß.

<sup>2</sup>Das EDS-Signal gibt an, ob mindestens ein Kanal aktiv ist.



# Kapitel 4

## Entwicklung der CIPix-Steuerhardware

### 4.1 Anforderungen

Aus den Rahmenbedingungen, welche durch die neue CIP-Kammer und die CIPix-Auslesechips vorgegeben sind, werden folgende Anforderungen an die Steuerhardware der Kameraauslese gestellt:

- Adressierung und Programmierung von 160 CIPix-Chips  
Dies beinhaltet:
  1. Programmierung der CIPix-Multiplexer
  2. Initialisierung der Eingangsverstärker
  3. Setzen der Diskriminatorschwellen
- Adressierung und Auslese von bis zu 80 Temperatursensoren
- Erzeugung der Reset-Bedingungen (Soft-/Hard-Reset)
- galvanische Trennung in fünf Ebenen
- Installation der Steuerhardware im Elektroniktrailer
- möglichst einfache Schnittstelle zum H1-Experiment

**Adressierung und Programmierung der CIPix-Chips :** Auf die internen Register des CIPix-Chips wird über den  $I^2C$ -Bus von *Philips Semiconductors* zugegriffen [PS00]. Im folgenden werden die wichtigsten Eigenschaften dieses Systems erklärt.

Der  $I^2C$ -Bus ist ein Multipoint<sup>1</sup>-Systembus, der ursprünglich für die Kommunikation von integrierten Schaltkreisen untereinander (Inter-Integrated-Circuit Bus, IIC-Bus,  $I^2C$ -Bus)) über kurze Entfernungen mit niedrigen Datenraten entwickelt wurde. Bei dem verwendeten seriellen Protokoll werden die einzelnen Bits hintereinander über eine Datenleitung (Serial **D**Ata, SDA) übertragen. Eine Taktleitung (Serial **C**Lock, SCL) synchronisiert dabei Sender und Empfänger, mit möglichen Taktfrequenzen von 0-100kHz ( $I^2C$  Standard Modus). Im Ruhezustand werden beide Leitungen durch Pull-Up Widerstände, also Widerstände gegen die positive Versorgungsspannung, auf logischem HIGH-Pegel gehalten. Für die Bitübertragung wird die SDA-Leitung vom aktiven Bauein nach Masse gezogen (log. LOW-Pegel). Der  $I^2C$ -Bus ist ein *Master-Slave System*, d.h. jede Aktion auf dem Bus wird vom einer zentralen Steuerung, dem *Master*, eingeleitet. Nur nach Aufforderung durch den Master ist es einem Peripheriebauein (*Slave*) gestattet, Daten auf den Bus zu senden. Dies bedeutet als Konsequenz, daß nur ein Master-Bauein pro Bus zugelassen ist. Mittlerweile wurde das  $I^2C$ -Protokoll von Philips um die Möglichkeit des Multi-Master-Betriebes erweitert [PS00].

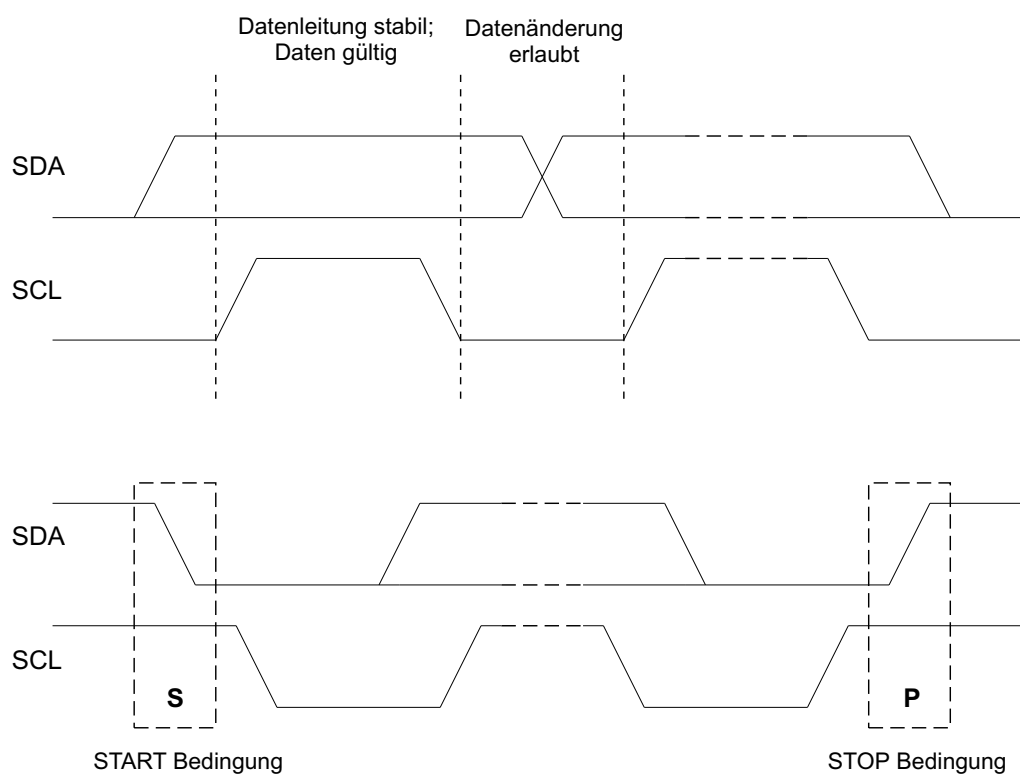


Abbildung 4.1: Definitionen des  $I^2C$ -Übertragungsprotokolls [PS00].

<sup>1</sup> *Multipoint* : mehrere Geräte teilen sich die selbe Leitung, im Gegensatz zu *Point-to-Point* : maximal zwei Geräte sind durch eine Leitung verbunden

Der  $I^2C$ -Busstandard definiert vier Zustände (Abbildung 4.1):

- Start: Der Master setzt zuerst SDA und dann SCL LOW.
- Stop: Der Master setzt zuerst SCL und dann SDA HIGH.
- Datenbit '1': während SCL und SDA LOW sind, wird SDA auf HIGH gesetzt. Danach wird ein Taktzyklus auf SCL ausgelöst.
- Datenbit '0': während SDA LOW bleibt wird ein Taktzyklus auf SCL ausgelöst.

Eine komplette Kommandosequenz setzt sich nun wie folgt zusammen:

- eine *Start*-Sequenz
- eine 7-Bit Slave-Adresse plus ein  $R/\overline{W}$ -Bit (auch Read/ $\overline{\text{Write}}$ -Bit genannt), welches die Richtung der Übertragung festlegt: Ist  $R/\overline{W}$  LOW so sendet der Master an den Slave, ansonsten fordert der Master mit  $R/\overline{W}$  HIGH Daten vom Slave. Nach diesen acht Bits folgt ein *Acknowledge*<sup>2</sup>(ACK)-Bit, hierbei läßt der Master die SDA-Leitung HIGH. Sollte der Slave den Empfang des übermittelten Bytes bestätigen, so zieht er die SDA-Leitung gegen Masse, während der Master einen neunten Taktzyklus ausführt. Dies wird vom Master erkannt und ist für ihn die Bestätigung einer erfolgreichen Übermittlung.
- beliebig viele *Daten*, jeweils in 8-Bit Blöcken plus ein Bit Bestätigung: Je nach im ersten Byte gesendetem  $R/\overline{W}$ -Bit kommen diese Daten nun vom Master oder vom Slave. Dementsprechend kommt jetzt die Bestätigung vom jeweils empfangenden Baustein.
- eine *Stop*-Sequenz

Hieraus ergeben sich weitere Anforderungen an die Steuerhardware:

- Die SDA-Leitung muß bidirektional ausgelegt werden. Dagegen reicht für die SCL-Leitung eine unidirektionale Bauweise.
- Der 7-Bit Adressraum würde die Anzahl von Slave-Bausteinen auf 128 begrenzen. Daher wird im CIPix-Chip der Version 1.1 die 10-Bit Version des  $I^2C$ -Protokolls von *Philips* benutzt. Hierbei wird noch vor der 7-Bit Adresse ein Kommandobyte gesendet, welches die drei höchstwertigsten Bits der 10 Bit-Adresse überträgt (siehe  $I^2C$ -Spezifikation [PS00]). Diese Vorgehensweise wurde im Hinblick auf einen geplanten Anschluß der Temperatursensoren an den  $I^2C$ -Bus gewählt.

---

<sup>2</sup>Bestätigung

**Temperatúrauslese :** Die Notwendigkeit nach einem Temperatursensor für jede CIPix-Auslesekarte (das bedeutet einen Meßpunkt pro  $\varphi$ -Sektor und Ebene) und der galvanischen Trennung nach Kammerebenen ergibt eine Anzahl von 16 Sensoren pro elektrischem System. Prinzipiell gibt es zwei Möglichkeiten der Auslese der Temperaturmessung:

- analog, d.h. direkte Benutzung eines Heiß-/Kaltleiters als Sensor und Messung des Widerstandes
- digital, d.h. Umwandlung des analogen Meßwertes und Übertragung des Datenwortes

Die direkte Benutzung von analogen Sensoren wurde von Anfang an ausgeschlossen, da die benötigte Anzahl von einer Ausleseleitung pro Sensor im Experiment nicht zu verwirklichen ist. Ebenso hätte die Abhängigkeit der Temperatúrauslese von Übergangswiderständen auf dieser Leitung den Entwicklungsaufwand deutlich erhöht. Inzwischen gibt es von verschiedenen Herstellern integrierte Temperatursensoren mit digitaler Schnittstelle und in kleiner Bauform, die mittels diverser Protokolle die Auslese der Daten über einen gemeinsamen Datenbus erlauben.

**Reset-Bedingungen :** Der CIPix-Chip braucht nach Anlegen der Versorgungsspannung einen Zustand, in dem alle internen Register auf vordefinierte Werte gesetzt werden. Zu diesem Zweck hat der CIPix-Chip einen *notReset* oder auch  $\overline{RESET}$  bezeichneten Eingang. Wird dieser Eingang auf logisch LOW gehalten, nehmen die internen Register ihre vordefinierten Werte an. Beim Übergang auf logisch HIGH beginnt der Chip mit seiner normalen Funktion. Gleichzeitig beginnt die Vergabe der  $I^2C$ -Adressen durch die im Chip integrierte Adresslogik ([Ba99], [Lö98]). Während der Testphase am CIPix-Chip Version 1.0 wurde vom ASIC-Labor der Universität Heidelberg eine weitere Reset-Funktion entwickelt. Diese ermöglicht es, den Chip intern auf seine Startwerte zurückzusetzen, ohne die bereits programmierten Verstärker- und Logik-Register zu löschen. Der Unterschied zwischen diesem *Soft*- und einem konventionellem *Hard*-Reset liegt in der Dauer des Pulses: ist er kürzer als drei signifikante Taktflanken (ca. 200 ns), wird vom CIPix-Chip ein *Soft*-Reset durchgeführt, bei mehr als 3 Taktflanken ein *Hard*-Reset. Folglich muß die zentrale Steuerung der CIPix-Chips in der Lage sein, diese Signale sowohl zu erzeugen als auch zu übertragen.

**Galvanische Trennung :** Durch die große Anzahl unterschiedlicher elektronischer Systeme in der Kammerelektronik und im gesamten H1-Experiment sind Ausgleichströme auf Signalmassen durch unterschiedliche Massepotentiale selbst durch wohl durchdachte Leitungsführung nicht zu vermeiden. Die Folgen reichen von ungenügender Signalqualität (z.B. *Brumm*: Einkopplung der 50 Hz-Netzfrequenz) bis zur Zerstörung von Baugruppen. Aus diesem Grund werden die fünf Lagen der CIP-Kammer inklusive der Ausleseelektronik galvanisch voneinander getrennt gehalten. Das bedeutet für die zentrale Steuerung jeweils fünf getrennte  $I^2C$ -, Temperatur- und Reset-Busse.



**Steuerung vom Elektroniktrailer :** Durch die schlechte Erreichbarkeit der Detektorelektronik sollte die zentrale Steuerung nicht direkt im H1-Detektor eingebaut werden. Im Falle eines Defektes müßte man bis zum nächsten Abschalten des Detektors warten, um die betroffenen Baugruppen zu warten bzw. zu ersetzen. Vielmehr sollen die Steuerungssignale mit so wenig Aufwand wie möglich direkt zum Elektroniktrailer geführt werden. Dieser steht in ca. 40 m Entfernung vom H1-Detektor und beherbergt einen Großteil der Ausleseelektronik.

**Schnittstelle zum H1-Experiment :** Die Datenrate, welche zur Steuerung der CIPix-Ausleseelektronik benötigt wird, ist relativ niedrig im Vergleich zu anderen Übertragungen im Experiment. Aus diesem Grund sollte eine möglichst universelle Schnittstelle verwirklicht werden. Sie sollte mit einfachsten Mitteln bedient werden können, sowohl vom Kontrollraum des Experiments aus als auch direkt vom Elektroniktrailer selber.

## 4.2 Auswahl der Baugruppen

Im folgenden werden die Möglichkeiten und die Auswahl der einzelnen Baugruppen näher beschrieben. Zusätzlich zu den vom Experiment gestellten Anforderungen wird nun Wert auf einfache Bedienung, modularen Aufbau und verlässliche Funktion gelegt.

### 4.2.1 Zentrale Steuerlogik

Durch die weite Verbreitung des  $I^2C$ -Protokolls in der Automobil- und Multimediaindustrie gibt es auf dem Markt eine Vielzahl von Steuer- und Zusatzbausteinen. Die meisten dieser ICs<sup>3</sup> sind jedoch sehr anwendungsspezifisch und erlauben wenige bis keine Anpassungen an vorhandene Anforderungen. Möchte man zusätzlich eine Steuerung mit der Fähigkeit, auf einfache Steuerkommandos mit umfangreichen Schalt- und Programmiervorgängen zu reagieren, so kann man die möglichen Konzepte eingrenzen:

- Vollständige Softwaresteuerung durch einen PC :  
Diese Lösung verlegt sämtliche Steueralgorithmen in die Software eines PCs mit einem entsprechenden Interface zur Pegelanpassung an den  $I^2C$ -Bus. Vorteil dieser Lösung ist ein geringer Hardwareaufwand. Nachteilig wirkt sich der hohe Verbrauch an Ressourcen aus: für die Erzeugung der zusätzlichen Steuersignale (Auswahl der zu programmierenden Kammerebene, Resetsignale, Temperatursauslese) werden weitere Schnittstellen des Steuerrechners gebraucht, was die Benutzung für andere Aufgaben einschränkt. Diese Variante wurde für Messungen am CIP-Kammerprototypen benutzt.
- FPGAs: *Field Programmable Logic Arrays*  
Ein FPGA Chip besteht aus einer großen Anzahl von logischen Gattern und Ein-

---

<sup>3</sup>IC: integrated circuit, integrierter Schaltkreis

bzw. Ausgängen. Die Verbindungen untereinander sind vom Anwender elektrisch mehrfach wiederbeschreibbar, so daß fast jede digitale Schaltung durch einen entsprechend programmierten FPGA-Chip ersetzt werden kann. Die Schaltungsentwicklung geschieht mit Hilfe von Hardwarebeschreibungssprachen, die große Ähnlichkeit mit herkömmlichen Programmierhochsprachen haben. Eine ausführliche Erklärung findet man in [Ur00]. FPGAs wurden in der Triggerelektronik des neuen z-Vertex-Trigger verwendet.

- Verwendung eines Mikrocontrollers :  
Ein Mikrocontroller, der oft auch als *Ein-Chip-Computer* bezeichnet wird, ähnelt im internen Aufbau modernen Computersystemen. Ausgestattet mit einem Rechenwerk, einem Arbeitsspeicher (random access memory, RAM) und externen Schnittstellen (*Ports*) ist er für hardwarenahe Steuer- und Kontrollanwendungen geeignet. Während ältere Mikrocontroller noch einen externen Programmspeicher benötigten (electric programmable read only memory, EPROM: elektrisch beschreibbar, mit UV-Licht löschbar), sind aktuelle Versionen mit FLASH-Speichern im Chip ausgestattet, die wie bei den FPGAs sowohl elektrisch beschrieben als auch gelöscht werden können. Das Konzept des Mikrocontrollers soll hier im weiteren verfolgt werden.

Seit einigen Jahren stellt die Firma *Microchip Technology Inc.* 8-Bit Mikrocontroller mit solchen FLASH-Programmspeichern her. Ausgestattet mit einer integrierten  $I^2C$ -Schnittstelle, einer seriellen RS-232 Schnittstelle und insgesamt vier 8-Bit Ports ist der PIC16F877 die neueste Variante der Flash-Controller Familie [MT99-0]. Der Leistungsbedarf beträgt bei seiner maximalen Taktfrequenz von 20 MHz und einer Betriebsspannung von 5 V nur 75 mW. Die einzigen externen Komponenten, die zum Betrieb benötigt werden, sind die Versorgungsspannung mit einer Reset-Schaltung und ein Taktgeber. Dies kann bei zeitunkritischen Anwendungen ein RC-Glied sein, ansonsten ist es ein einfacher Schwingquarz.

#### 4.2.2 Optische Übertragung

Durch die Forderung nach galvanischer Entkopplung der fünf Kammerebenen und der dazugehörigen Ausleseelektronik wurde nach einem Weg gesucht, die benötigten Steuerleitungen optisch zu verteilen. Dies ist prinzipiell mit *Optokopplern* möglich, die eine LED<sup>4</sup> als Sender und einen Fototransistor als Empfänger in einem Gehäuse beinhalten. Da außerdem die Steuersignale vom Elektroniktrailer zum Detektor über eine Strecke von ca. 40 m übertragen werden sollen, wurde gleichzeitig nach einem einfachen und robusten Übertragungsstandard gesucht. Durch die Wahl einer optischen Übertragung vom Elektroniktrailer zum Detektor wird die Isolation der Kammerebenen untereinander bewahrt. Zusätzlich werden sämtliche Probleme langer Kupferleitungen vermieden:

---

<sup>4</sup>LED: light emitting diode

	Simplex	Duplex
Mantel	Polyethylen	
Kern	PMMA: Polymethylmethacrylat	
Mantel + Kern	flammwidrig, halogenfrei	
Kerndurchmesser	1,0 mm	
min. Biegeradius	20 mm	
Dämpfung	0,15 dB/m bei 660 nm	
Abmessungen	ø 2,2 mm	4,4 mm x 2,2 mm
Gewicht	4,5 g/m	9 g/m

Tabelle 4.1: Technische Daten des POF-Kabels.

- Ausgleichsströme durch unterschiedliche Massepotentiale
- Einkopplung von externen Störsignalen (*Pickup*)
- Übersprechen zwischen einzelnen Signalleitungen (*Crosstalk*)
- Verschlechterung der Signalqualität durch die Kabelkapazität

Die benötigten Datenraten ( $I^2C$ : max. 100 kbit/s, Reset: 100 ns  $\hat{=}$  10 MBit/s, Temperatursensoren <1 kbit/s) sind in heutigen Standards als langsam zu bezeichnen. Die Auswahl fiel auf das *Versatile Link* System der *Hewlett-Packard* Tochter *Agilent Technologies* [AT99-0]. Die verwendeten optischen Sender und Empfänger sind betriebsfertige Module, die wenig bis keine Zusatzbeschaltung benötigen [AT99-1]. Im Gegensatz zu den schnellen Datenausleselinks werden keine Glasfasern sondern Plastikfaser-Kabel (**p**lastic **o**ptical **f**iber, POF) mit einer (Simplex) oder zwei (Duplex) optischen Fasern benutzt. Diese haben den Vorteil einfacher Handhabung und Konfektionierung ohne spezielles Werkzeug. Die wichtigsten technischen Daten sind in Tabelle 4.1 zusammengefaßt.

Das *Versatile Link* Stecksystem ist selbstverriegelnd, die Duplex-Version wird durch den Verriegelungsmechanismus zusätzlich vor verdrehtem Einbau geschützt. Dies ist wichtig, da die optische Übertragung durch die Faser unidirektional erfolgt, d.h. jede Faser übermittelt nur in eine Richtung Daten. Hieraus folgt, daß die bidirektionalen Signale SDA von  $I^2C$ -Bus und die Datenleitung des Temperaturbus mit jeweils einem Duplexkabel übertragen werden, wobei jede Faser eine Signalrichtung übernimmt. Die SCL  $I^2C$ -Taktleitung und der Resetimpuls sind unidirektional und würden daher mit einer Simplexfaser auskommen. Aus mechanischen und organisatorischen Gründen wurden die beiden Simplexfasern als zusammengefaßtes Duplexkabel realisiert.

### 4.2.3 $I^2C$ -Bus

Wie bereits in Kapitel 4.1 erläutert, ist die Taktleitung des  $I^2C$ -Busses unidirektional, während die Datenleitung bidirektional übermittelt. Da das verwendete optische System jeweils nur in eine Richtung überträgt, ist es nötig, das Datensignal abhängig von der

Richtung des Datenflusses aufzuteilen. Ein einfaches Zusammenschalten von Sender und Empfänger auf beiden Seiten des optischen Links führt zu einer Rückkopplung, die eine Signalübertragung verhindern würde (siehe Bild 4.2).

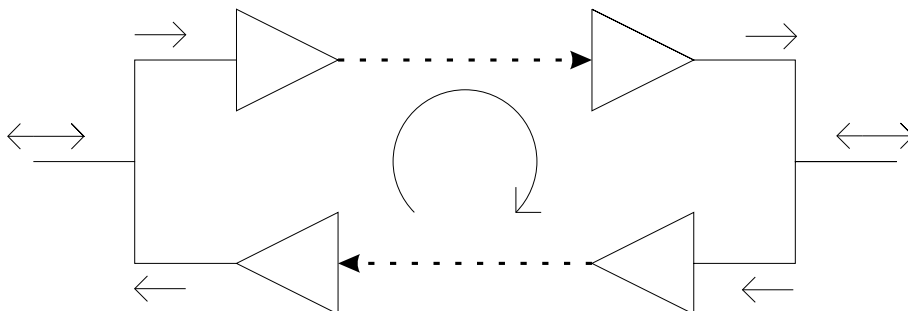


Abbildung 4.2: Rückkopplungsschleife bei einfacher Zusammenschaltung von Sender und Empfänger.

Um dies zu verhindern, wird der  $I^2C$ -Treiber P82B96 [PS98] von *Philips* benutzt, der speziell für diese Anwendung entwickelt wurde. Der Baustein verfügt neben internen Maßnahmen, die die Rückkopplung verhindern, über eine Treiberschaltung, welche den maximal auf den Busleitungen fließenden Strom auf 30 mA erhöht. Zum Vergleich: der  $I^2C$ -Standard fordert 3 mA. Dies erlaubt die Verwendung niederohmiger Pull-Up-Widerstände und in Konsequenz höhere maximale Kabelkapazitäten und Längen. Damit kann der P82B96 auch als Leitungstreiber eingesetzt werden. Dies ist beim H1-Experiment notwendig, da die Umsetzung der optischen Signale aus Platzbeschränkungen nicht auf der CIPix-Auslesekarte erfolgen kann. Stattdessen müssen die optischen Empfänger in der CDA platziert werden (siehe Abschnitt 4.3.1). Dies erfordert eine Übertragung der elektrischen Signale über knapp 4 m. Bei einer durchschnittlichen Kabelkapazität von 100 pF/m wird hier die Grenze der  $I^2C$ -Spezifikation erreicht und damit der Einsatz von Bustreibern nötig, um die Signalqualität zu erhalten.

#### 4.2.4 Temperatursensoren

Zunächst wurde nach einer Möglichkeit gesucht, die Sensoren in den bestehenden  $I^2C$ -Bus einzubauen. Leider unterstützen alle bekannten digitalen Sensoren mit  $I^2C$ -Schnittstelle nur acht Bausteine pro Bus, so daß man auf die Hälfte der Meßpunkte hätte verzichten müssen. Von *Dallas Semiconductor* gibt es allerdings einen "1-wire"-Bus (1-Draht-Bus), welcher bis zu 150 Sensoren an einer einzigen, bis zu 100 m langen Leitung erlaubt. Das System arbeitet mit einem vom Hersteller gelieferten Busmaster DS2480 [DS98], der das 1-wire-Protokoll in ein RS232-kompatibles Protokoll umwandelt. Das 1-wire-Protokoll, das seine Synchronisation über feste Zeitschritten bezieht, soll hier nicht im Detail erläutert werden (siehe [DS00-1]). Der benutzte Temperatursensor DS18B20 hat bei einer Auflösung von 9 Bits eine Meßzeit von unter 100 ms und eine absolute Genauigkeit von  $\pm 0.5^\circ\text{C}$  zwischen  $-10^\circ\text{C}$  und  $+85^\circ\text{C}$  [DS00-0].

## 4.3 Systemübersicht

Nach der funktionellen Beschreibung der einzelnen Komponenten sollen nun das Gesamtsystem sowie die einzelnen Module erklärt werden. Dies beinhaltet sowohl eine Beschreibung der elektrischen Schaltung als auch der mechanischen Realisierung.

### 4.3.1 Aufbau

Bei der Entwicklung der Frontend-Steuerung wurde von Beginn an Wert auf ein modulares Design gelegt, welches in Abbildung 4.3 dargestellt ist. Dies bringt mehrere Vorteile mit sich:

- verbesserte Wartungsmöglichkeiten durch einfachen und schnellen Austausch von Modulen,
- vereinfachte Fehlersuche und -korrektur während der Entwicklungsphase,
- schnellere Neuentwicklung möglich durch Beschränkung auf betroffene Komponenten und damit
- einfachere Anpassung und Erweiterung für zukünftige Nutzungen.

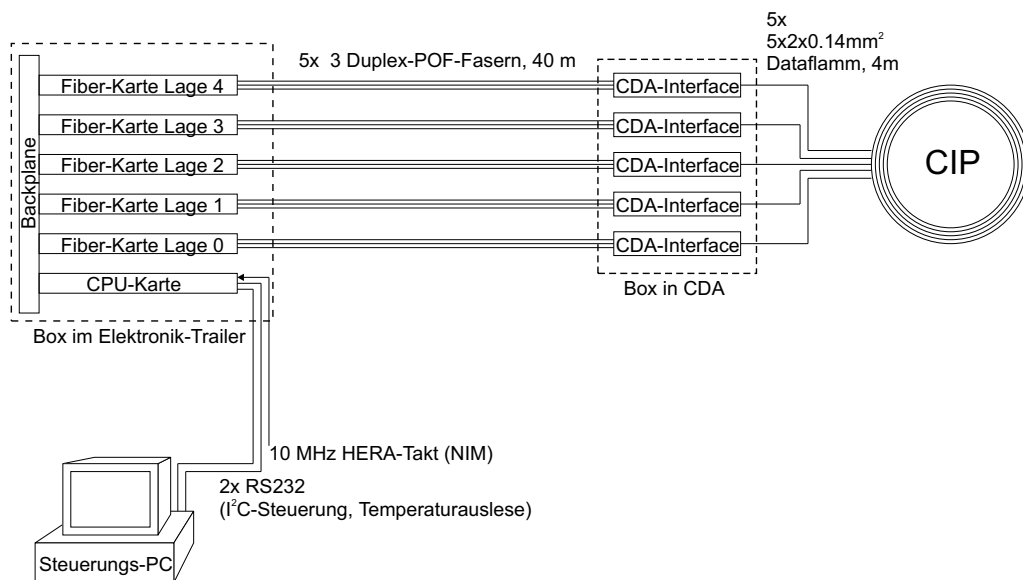


Abbildung 4.3: Schematische Ansicht des Steuerungssystems.

Der Steuerungsrechner wird via RS232-Schnittstelle an die Steuerung im Elektronik-Trailer (*Trailer-Box*) angeschlossen. Dabei dient eine Verbindung zur Auslese der Temperatursensoren, die nur mit geeigneter Software auf einem angeschlossenen Rechner geschehen

kann. Die zweite RS232-Schnittstelle der Trailer-Box ist die eigentliche Steuerschnittstelle für die CIPix-Frontendelektronik. Hier kann im Gegensatz zur Temperatureauslese ein gewöhnliches RS232-Terminal angeschlossen werden. Der 10,4 MHz HERA-Takt wird über eine LEMO-Buchse mit NIM-Pegel in die Trailer-Box eingespeist. Sie dient zur Synchronisation der Resetpulse (siehe Abschnitt 4.3.3). Bild 4.4 zeigt die fertige Trailer-Box.



Abbildung 4.4: Ansicht der Trailer-Box.

Die Wandlung der optischen in elektrische Signale geschieht in der CDA-Box im Kabelverteilungsbereich im H1-Detektor (**Cable Distribution Area**, CDA), ca. 4 m vom Einbauort der Ausleseelektronik entfernt. In ihr befinden sich fünf separat versorgte, galvanisch getrennte Schnittstellenkarten, die zusätzlich noch Leitungstreiber enthalten, um die verschiedenen Steuersignale über die letzten 4 m zur Ausleseelektronik an der CIP-Kammer elektrisch zu übertragen. Bild 4.5 zeigt die CDA-Box mit abgenommenem Deckel.

Sowohl die CPU-Karte (Abschnitt 4.3.2) als auch die Fiber-Karte (Abschnitt 4.3.3) haben Platinenabmessungen von 100 mm x 80 mm. Dies entspricht halber Europakartengröße und vereinfacht die Suche nach geeigneten Leiterplattenführungen und Gehäusen. Die Karten der CDA-Box (Abschnitt 4.3.4) wurden mit 67 mm x 56 mm deutlich kleiner ausgelegt. Dies wurde durch die Platzbeschränkungen in der CDA diktiert.

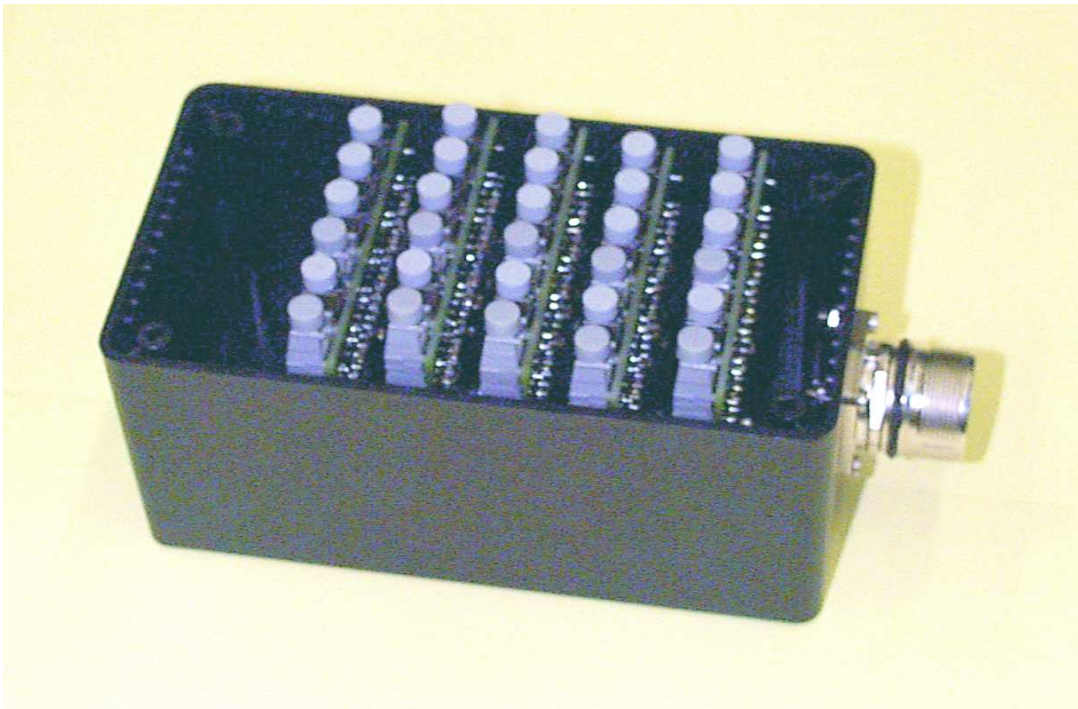


Abbildung 4.5: Ansicht der CDA-Box.

### 4.3.2 CPU-Karte

Die zentrale Verwaltung der Steuersignale übernimmt die CPU-Karte. Ihr Blockschaltbild ist in Abbildung 4.6 dargestellt. Bild 4.7 zeigt beide Seiten der doppelseitig bestückten Platine. Das Herz der CPU-Karte ist der PIC16F877 Mikroprozessor von *Microchip*. Ausgestattet mit einer  $I^2C$ - und einer RS232 Schnittstelle und einem internen Flash-Programmspeicher benötigt der Baustein nur noch wenig externe Beschaltung. Dazu gehört ein Programmierstecker zum nachträglichen Ändern der internen Software und ein Taktgeber, bestehend aus einem Schwingquarz.

Die nötige Pegelanpassung von +5 V auf die  $\pm 12$  V des RS232-Standards wird von einem integrierten Pegelwandler DS232A von *Dallas Semiconductor* übernommen, der pincompatibel zum weit verbreiteten MAX232 von *Maxim* ist. Er wandelt auch die Pegel der zweiten RS232-Schnittstelle für die Auslese der Temperatursensoren auf die TTL-Pegel von +5 V. Die Kontrolle des Temperaturbusses, das *Busmastering*, übernimmt der DS2480B. Er wird durch 1-Byte-Kommandos der seriellen Schnittstelle gesteuert und erzeugt intern das notwendige Protokoll und das dazugehörige Timing für die Temperatúrauslese [DS98]. Zwei Operationsverstärker verarbeiten das im NIM-Standard gelieferte HERA-Taktsignal. Sie invertieren und verstärken das Taktsignal und geben impedanzrichtig auf die Backplane. Von dort wird der Takt an die einzelnen Fiber-Karten verteilt.

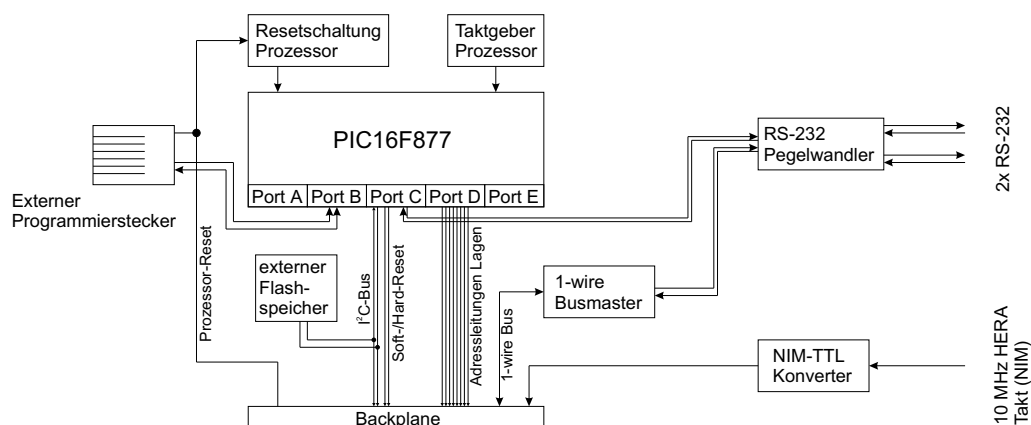


Abbildung 4.6: Blockschaltbild der CPU-Karte.

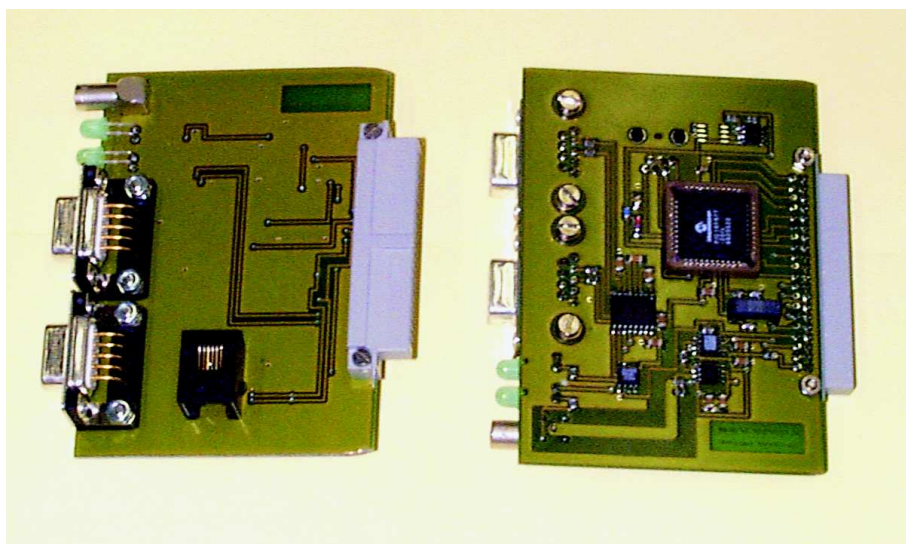


Abbildung 4.7: Beidseitige Ansicht der CPU-Karte.

Damit für den Fall eines Stromausfalls die zu programmierenden Daten nicht wieder komplett vom Terminal aus in die Kameraleser programmiert werden müssen, wird auf der CPU-Karte ein externes seriell Flash-EEPROM 24LC32 eingesetzt, das direkt am  $I^2C$ -Bus angeschlossen ist und unter der Adresse 0xA0 anzusprechen ist. Dort können 4096 Bytes an Daten abgelegt werden, genug für eine komplette Programmierung der CIPix-Auslesechips der gesamten Kammer. Für ein zweites EEPROM ist bereits Platz vorgesehen, dieses würde dann die Adresse 0xA2 erhalten und könnte einen zweiten Satz von Einstellungen speichern.



### 4.3.3 Fiber-Karte

Aufgabe der Fiber-Karte ist es, die von einer Kammerebene benötigten elektrischen Signale in optische Signale zu wandeln. Hierzu zählen die  $I^2C$ -Steuerung, das  $\overline{\text{Reset}}$  und die Temperatureauslese. Dies sind insgesamt vier Leitungen, durch die Bidirektionalität von SDA und dem 1-wire-Bus ergibt das vier optische Sender und zwei Empfänger. Dies wird im Blockschaltbild 4.8 dargestellt.

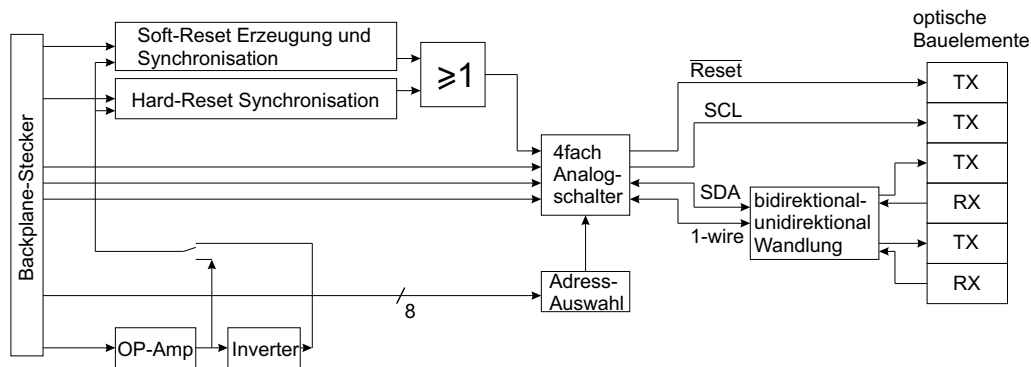


Abbildung 4.8: Blockschaltbild der Fiber-Karte.

Der 10,4 MHz HERA-Takt wird mit einem schnellen Operationsverstärker hochohmig von der Backplane abgegriffen und auf TTL-Pegel verstärkt. Wahlweise kann durch das Umschalten einer Kurzschlußbrücke, auch *Jumper* genannt, die Phasenlage des Taktsignals um  $180^\circ$  gedreht werden. Dies ist möglich, da die absolute Phasenlage für die darauffolgende Elektronik keine Bedeutung hat. Mit dem Takt werden drei D-Flipflops betrieben, die das 100 ns lange Signal für den Soft-Reset-Impuls erzeugen und die feste Phasenlage zwischen den Resetimpulsen und dem HERA-Takt herstellen. Da die CIPix-Chips mit dem gleichen Auslesetakt betrieben werden, sollten die Resetimpulse zu definierten Taktflanken am CIPix ankommen. Fällt ein Resetimpuls mit einer signifikanten Taktflanke zusammen, so ist die ordnungsgemäße Ausführung des Resets nicht gewährleistet. Die Option der Phasendrehung um  $180^\circ$  auf der Fiber-Karte muß folglich nach Aufbau der kompletten Datenauslese so gewählt werden, daß eine saubere Funktion der Reset-Befehle sichergestellt ist. Die Kurzschlussbrücke ist recht unten als blauer Steckkontakt in Bild 4.9 gut zu erkennen.

Da alle fünf Fiber-Karten eines Systems gleich aufgebaut sind müssen Zugriffskonflikte vermieden werden. Vor dem Einbau muß die Adresse jeder Karte mit dem auf ihr befindlichen DIP-Schalter eingestellt werden. Dazu wird jeweils genau ein Schalter pro Karte auf ON gestellt. Hierbei steht Schalter 1 für Lage 0, Schalter 2 für Lage 1 usw. Eine vom Prozessor als aktiv angewählte Karte wird durch eine Leuchtdiode signalisiert. Mit der gleichen Leitung werden zwei analoge Halbleiterschalter (MAX323 von *Maxim*) gesteuert, die die Reset-Leitung, den 1-wire-Bus der Temperatursensoren und den  $I^2C$ -Bus des Prozessors auf die optischen Übertragungsbausteine schalten. Sowohl die SDA-Leitung als auch die 1-wire-Leitung der Temperatureauslese werden von einem  $I^2C$ -Bustreiber des Typs P82B96

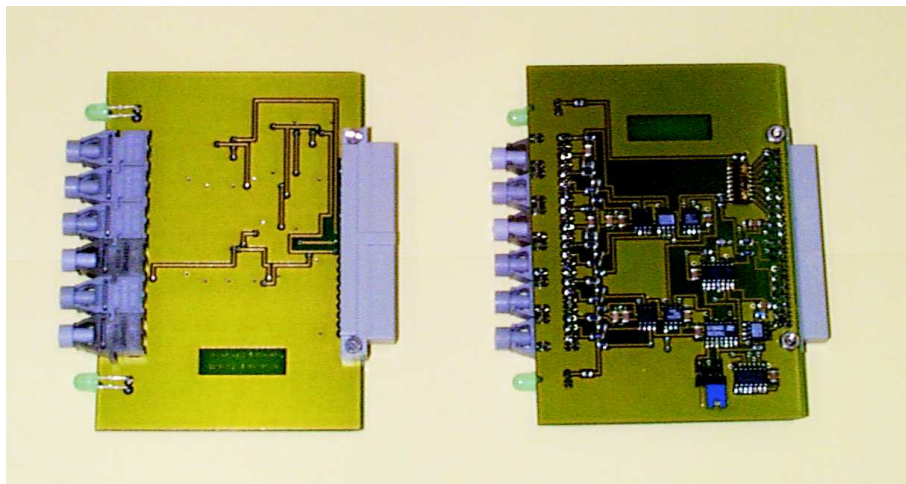


Abbildung 4.9: Beidseitige Ansicht der Fiber-Karte.

(*Philips Semiconductor*) verwaltet. Er trennt die von der CPU-Karte kommenden bidirektionalen Signalströme in unidirektionale Leitungen, die den jeweiligen optischen Bauteilen zugeführt werden. Dies geschieht dadurch, daß die Schaltschwelle des P82B96 bei typisch 650 mV liegt, das eigene Ausgangssignal aber nur 750 mV bei 0,2 mA Last beträgt, womit eine Rückkopplung des Signals vermieden wird (siehe Abbildung 4.2). Jeweils ein Treiberbaustein vom Typ DS75451 (*Dallas Semiconductor*) steuert zwei optische Sender an. Die Empfänger sind ohne weitere Modifikation direkt kompatibel mit +5 V-TTL Pegeln.

#### 4.3.4 CDA-Interface

Die in der CDA angebrachte Elektronik besteht aus fünf identischen Platinen mit separater Spannungsversorgung, um die galvanische Trennung der Kammerlagen sicherzustellen. Das Blockschaltbild einer Karte ist in Abbildung 4.10 dargestellt, Bild 4.11 zeigt die beidseitig bestückte Platine. Auf einer solchen Platine werden die optischen Signale wieder in elektrische gewandelt und dann entsprechend dem Signaltyp durch Treiber verstärkt. Hierbei wird der Resetimpuls durch CMOS-Gatter (74HC00) und einen 47  $\Omega$  Widerstand auf die rund 4 m lange Leitung zur Kammerelektronik gegeben. Dies bewirkt zusammen mit einem 100  $\Omega$  Abschlußwiderstand am Ende dieser Leitung eine Reduktion des Pegels von 5 V auf 3,3 V. Dies entspricht dem Logikpegel der CIPix-Auslesechips. Weiterhin wird dadurch die Leitung in erster Näherung impedanzrichtig abgeschlossen, was für die saubere Übertragung der schnellen Resetimpulse notwendig ist.

Die Leitungen für die vergleichsweise langsamen  $I^2C$ - und 1-wire-Bus Signale müssen nicht terminiert werden. Für das SCL-Signal übernimmt ein P82B96 Bustreiber (siehe [PS98]) das Treiben der Leitungskapazität und die Umwandlung des Pegels von 5 V auf 3,3 V. Die unidirektional an den optischen Elementen anliegenden oder von ihnen gelieferten SDA- und 1-wire Signale werden ebenfalls mit einem P82B96 wieder zu bidirektionalen vereint.

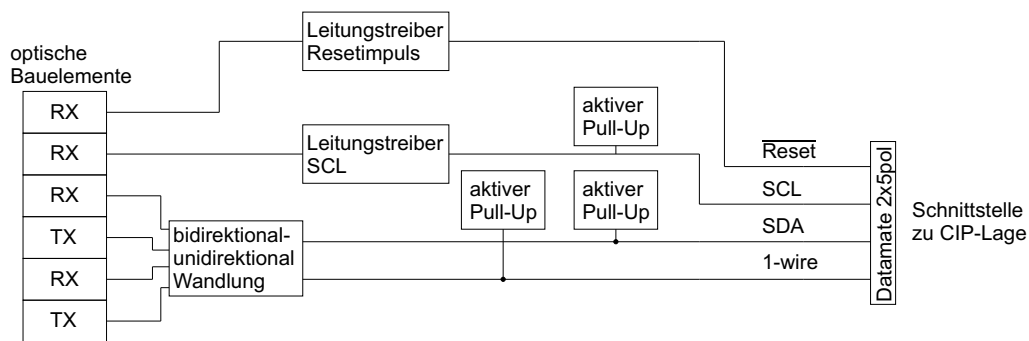


Abbildung 4.10: Blockschaltbild einer Karte des CDA-Interface.

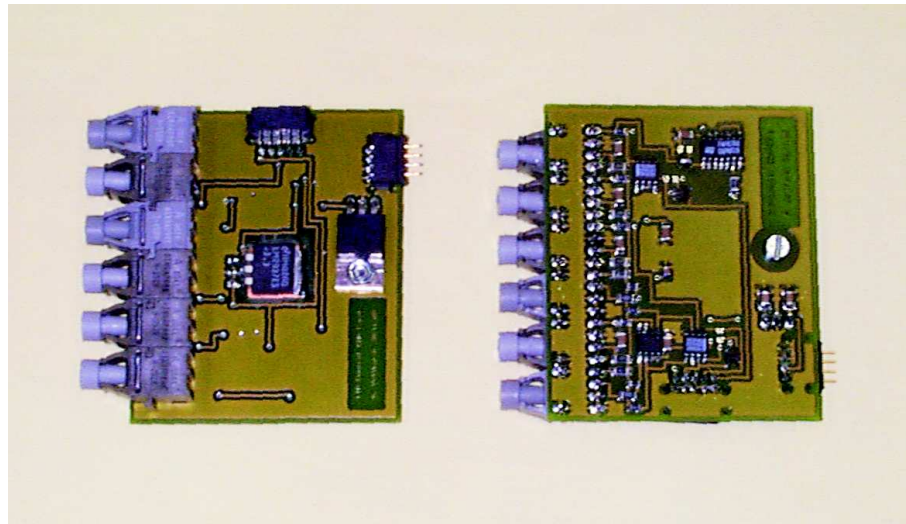


Abbildung 4.11: Beidseitige Ansicht einer CDA-Karte.

Gleichzeitig wird der Pegel auch hier von 5 V auf 3,3 V angepaßt. Durch die Verwendung als bidirektionaler-undirektionaler Wandler ist ein Einsatz als Leitungstreiber hier jedoch nicht möglich, da die bidirektionale Seite des Treibers nur mit 3 mA maximalem Strom spezifiziert ist, die eigentlich gepufferte unidirektionale Seite, welche für 30 mA Strom spezifiziert ist, aber in Richtung der optischen Bausteine geschaltet ist. Der Anschluß eines weiteren P82B96 mit der einzigen Aufgabe des Leitungstreibers ist aus Pegelgründen nicht möglich: der als direktionaler Wandler arbeitende Baustein liefert bei 0,2 mA Last einen LOW-Pegel von 750 mV. Die Schaltschwelle des ungepufferten unidirektionalen Eingangs liegt aber bei 650 mV, was in der Anwendung als Wandler zur Vermeidung der Rückkoppelschleife dient (siehe Abbildung 4.2). Um eine gute Signalqualität zu erreichen, sind niederohmige Pullup-Widerstände nötig, die die Leitungskapazität schnell aufladen und so für steile Signalfanken sorgen. Dies erhöht im Gegenzug jedoch den LOW-Pegel des P82B96, der bereits typisch 900 mV bei einer Last von 3 mA beträgt. Abhilfe schafft hier ein aktives Pull-Up Element LTC1694 von *Linear Technology*. Spezifiziert als  $I^2C$

*accelerator* belastet dieser Schaltkreis eine angeschlossene Leitung im LOW-Zustand mit  $275 \mu\text{A}$  gegen  $+3,3 \text{ V}$ . Bei einer positiven Signalfanke wird der Pull-Up Strom auf  $2,2 \text{ mA}$  erhöht, bis der Pegel der Leitung mindestens  $2,8 \text{ V}$  erreicht hat oder die Anstiegsgeschwindigkeit unter  $0,2 \frac{\text{V}}{\mu\text{s}}$  sinkt. Durch Einsatz der aktiven Pull-Up Elemente erreicht man einen LOW-Pegel von  $750 \text{ mV}$  bei einer Anstiegszeit kleiner  $1 \mu\text{s}$ , gemessen an einem  $5 \text{ m}$  langen Kabel. Zum Vergleich: die Dauer eines Bits bei einem  $50 \text{ kHz } I^2C$ -Takt ist  $20 \mu\text{s}$ .

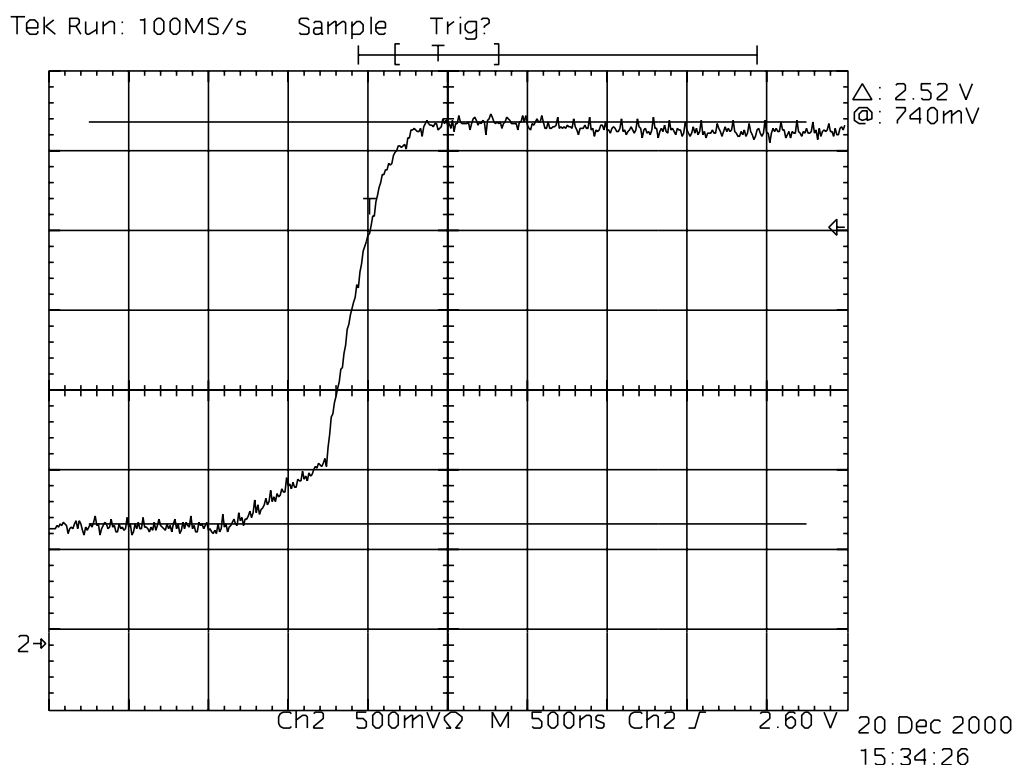


Abbildung 4.12: Typische  $I^2C$ -Flanke mit Lastkapazität und aktivem Pull-Up.

Dieser LOW-Pegel liegt deutlich unter der Schaltschwelle der  $I^2C$ -Spezifikation von  $0,3 V_{DD}$  [PS00], das bedeutet  $990 \text{ mV}$  bei  $3,3 \text{ V } V_{DD}$ . Neue Tests im ASIC-Labor Heidelberg lassen dagegen auf eine CIPix-Schaltschwelle von ca.  $900 \text{ mV}$  schließen [Lö00].

### 4.3.5 Backplane

Die im vorliegenden System eingebaute Backplane verbindet die CPU-Karte mit den Fiber-Karten für die fünf Kammerlagen in der *Trailer-Box*<sup>5</sup>. Sie stellt die Versorgungsspannungen für die Elektronikmodule bereit und verteilt die Signale zwischen den einzelnen Karten. Hierbei wurde Wert auf saubere Signalführung gelegt: die doppelseitige Platine liefert durch eine Masselage eine direkte Masseverbindung aller Module. Die digitalen Leitungen

<sup>5</sup>Geplanter Standort dieser Hardwarekomponente ist der Elektronik-Trailer des H1-Experiments.

auf der Backplane sind jeweils mit  $33\text{ k}\Omega$  gegen  $+5\text{ V}$  gezogen. So sind definierte Pegel bei nicht vollständig bestücktem System gesichert. Alle Spannungsversorgungen werden mit  $100\text{ nF}$ -Keramik Kondensatoren direkt an den Platinensteckverbindern geblockt, um die Ausbreitung von Crosstalk und Pickup zu unterdrücken und eine saubere Versorgung für alle Schaltungsgruppen zu gewährleisten. Der HERA-Takt von  $10,4\text{ MHz}$  wird bereits auf der CPU-Karte impedanzrichtig abgeschlossen. Nach der Umwandlung in TTL-Pegel wird das Taktsignal mit einer Quellimpedanz von ca.  $60\ \Omega$  auf die entsprechende Backplane-Leitung gegeben. Diese mit einer Impedanz von  $120\ \Omega$  berechnete Leitung ist an beiden Enden mit jeweils  $120\ \Omega$  abgeschlossen, so daß die Position der CPU-Karte als Taktquelle keinen Einfluß auf die Signalqualität des Taktsignals auf der Backplane hat. Die Fiber-Karten greifen das Taktsignal hochohmig ab und stellen somit keine weitere Last für die Taktleitung dar.

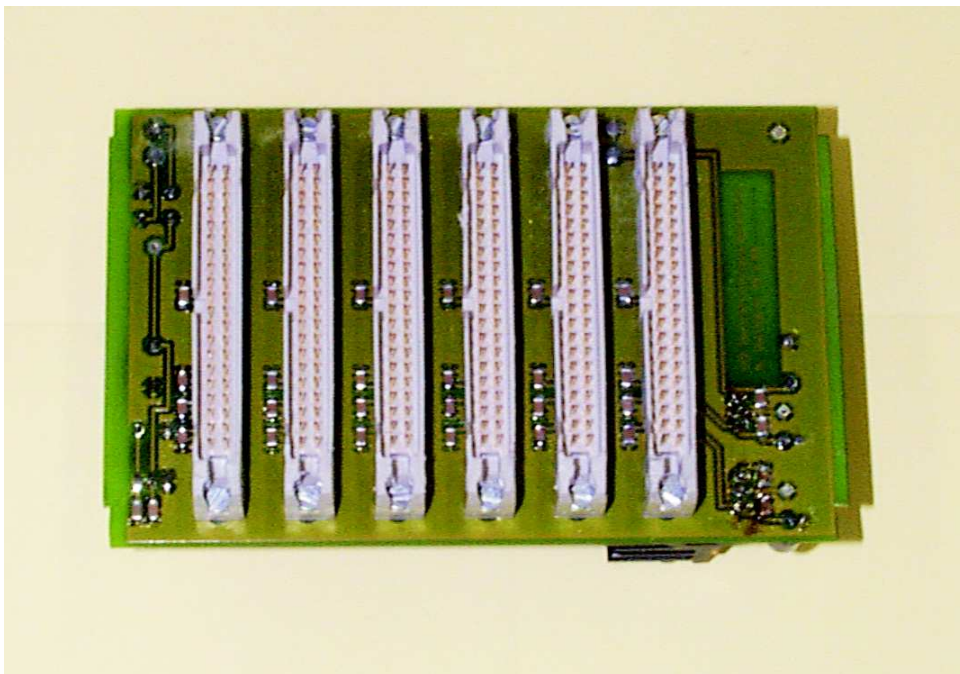


Abbildung 4.13: Ansicht der Backplane.

Die Backplane (Abbildung 4.13) stellt drei Spannungen zur Verfügung:  $-5\text{ V} / 1\text{ A}$  für die Pegelwandlung des NIM-Taktsignals,  $+5\text{ V} / 3\text{ A}$  für die Hauptspannungsversorgung der Elektronikmodule und  $+8\text{ V} / 1\text{ A}$  für den Treiber des Taktsignals der CPU-Karte. Die positiven und negativen Spannungen werden aus zwei getrennten Wicklungen eines Netztransformators der Trailer-Box erzeugt. Bis auf den Brückengleichrichter der positiven Spannungsversorgung ist die Backplane für einen direkten Anschluß an den Transformator geeignet. Der Transformator ist sowohl primär- als auch sekundärseitig mit Schmelzsicherungen versehen, wobei nur die Primärsicherung von außen zugänglich ist.



## Kapitel 5

# Entwicklung der CIPix-Steuersoftware

Nach der Beschreibung der Steuerhardware wird in diesem Kapitel die Software der Steuerung vorgestellt. Der kurzen Übersicht über die Anforderungen des Benutzers folgt eine Einführung in die interne Programmstruktur des Mikrocontrollers. Eine Beschreibung der Funktionen befindet sich in Anhang C, das komplette Programm im Anhang D. Schließlich wird noch die Benutzerschnittstelle erläutert und der Befehlssatz zur Kontrolle der CIPix-Auslesechips dargestellt.

Die Auslese der Temperatursensoren geschieht getrennt von der Steuerung der CIPix-Chips über die zweite RS-232 Schnittstelle. Das verwendete Programm ist in der Programmiersprache C geschrieben und im Internet frei auf der Homepage des Herstellers verfügbar. Nach Aufruf des Programmes werden nacheinander alle Temperatursensoren der aktiven Lage ausgelesen und die Temperaturen in eine Datei geschrieben. Im Rahmen dieser Arbeit wird hierauf nicht weiter eingegangen (siehe [DS00-2]).

### 5.1 Anforderungen

Die programmierbaren Register des CIPix-Auslesechips unterscheiden sich sowohl in ihrer Bedeutung als auch in ihrem Anwendungsbereich voneinander. Die Einstellungen der analogen Auslekette sind zum Beispiel von der Leistungsfähigkeit der Kammer abhängig und können durchaus mit der Zeit variieren. Im Gegensatz dazu sind Einstellungen der Reihenfolge der Multiplexer und der Polarität der digitalen Daten systemabhängig und werden nach erfolgtem Einbau in das Gesamtsystem nicht mehr geändert. Weiterhin sind die Einstellungen den analogen Auslesekanaal betreffend in der Einbau- und Testphase zur Bestimmung der Kammerdaten besonders wichtig. Im laufenden Experimentierbetrieb wird dies auf die Überwachung der Kammerfunktion reduziert. Nach Abschluß des Einbaus soll dem Benutzer ferner eine einfache und übersichtliche Möglichkeit in die Hand gegeben werden, die CIP-Kammer auch ohne tiefgehendes Detailwissen zu bedienen.

Daraus ergeben sich als Benutzer folgende Eckpunkte für die Steuerung:

- Steuerung der Ausleseelektronik mit wenigen, klar definierten Prozeduren
- einfache Einstellung der wichtigsten Parameter
- Zusammenfassung von wiederkehrenden Abläufen
- Möglichkeit der Steuerung auf unterstem Systemniveau zur Inbetriebnahme und Feineinstellung

Bezogen auf die bereits dargestellte Hardware folgt daraus die Bereitstellung folgender Funktionen:

- komplette Programmierung einzelner Kammerbereiche (Auslesechip, Lage, Kammer)
- Rücklesen und/oder Verifizieren von Einstellungen
- sektionsweises Verändern von Diskriminatorschwellen
- Sichern von Einstellungen in externem FLASH-Speicher
- Steuerung des analogen Kanals, zusätzliches Hilfsprogramm zur schnellen Kammerkontrolle
- manuelles Auslösen eines Soft-/Hard-Reset Impulses
- direkte Eingabe von  $I^2C$ -Befehlen

## 5.2 Programmierung des Mikrocontrollers

Zum verwendeten Mikrocontroller PIC16F877 von *Microchip Technology Inc.* ist eine umfangreiche und leistungsstarke Entwicklungsumgebung MPLAB frei verfügbar [MT00]. Bild 5.1 zeigt eine typische Arbeitsoberfläche. In Verbindung mit dem Microchip In-Circuit-Debugger ICD kann ein Mikrocontroller sowohl in der Anwendungsschaltung programmiert als auch in Echtzeit der Programmablauf überwacht und kontrolliert werden. Die in der vorliegenden Arbeit entwickelte Software wurde unter dieser Umgebung entwickelt und getestet.

Die beiden zentralen Schnittstellenmodule des Controllers, die USART<sup>1</sup>-Schnittstelle, in unserem Fall RS-232, und der  $I^2C$ -Master werden durch Beschreiben interner Register verwaltet. Die Unterfunktionen, welche diese Register bedienen, sind daher in der hardwarenahen Programmiersprache PIC-Assembler geschrieben. Für eine vereinfachte Entwicklung und Fehlersuche im Programm wurde auf übergeordnete Funktionen in einer Hochsprache wie C verzichtet. Dadurch läßt sich der komplette Programmcode mit der

---

<sup>1</sup>USART: Universal Synchronous Asynchronous Receiver Transmitter



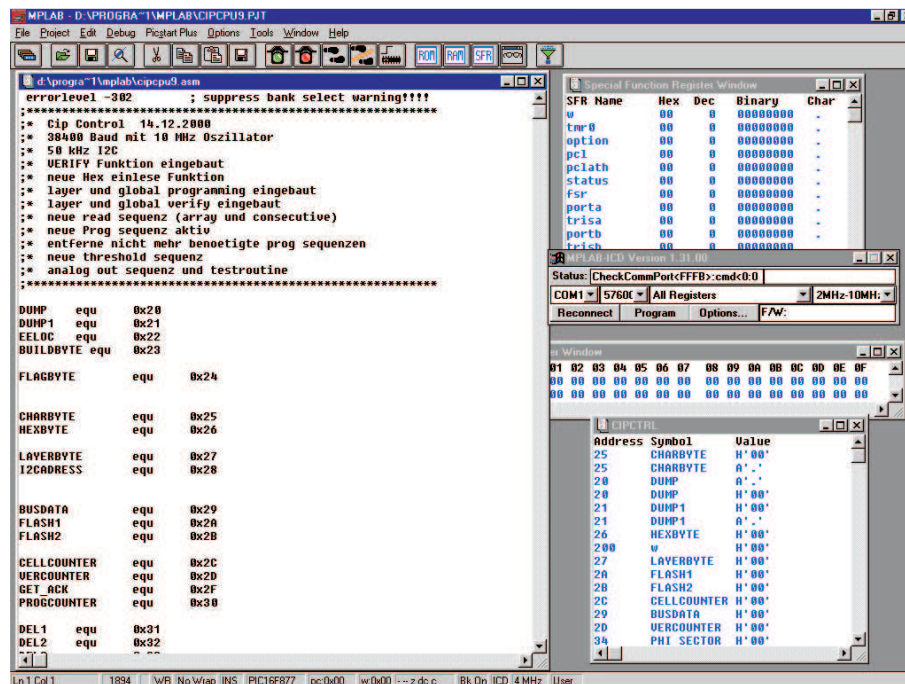


Abbildung 5.1: Ansicht der MPLAB Entwicklungsumgebung.

verfügbaren Entwicklungsumgebung in Echtzeit auf Fehler durchsuchen, während alle Statusregister des Prozessors überblickt werden können. Die verwendeten Funktionen sind in Anhang C aufgelistet.

Sowohl die eingegebenen als auch die ausgelesenen Werte, entweder vom Terminal oder von der Ausleseelektronik, müssen vor der Weiterverarbeitung durch den Prozessor in dafür bestimmten Speicherbereichen abgelegt werden. Hierzu gibt es mehrere Möglichkeiten:

- **Der prozessorinterne FLASH-Speicher** ist nichtflüchtig, das bedeutet die Daten werden auch ohne anliegende Versorgungsspannung gehalten, er unterteilt sich in den *Programm-* und den *Datenspeicher*. Im Programmspeicher ist der Code für den Prozessorbetrieb abgelegt. Prinzipiell ist es zwar möglich, daß der Prozessor seinen eigenen Programmspeicher modifiziert, dies wird aber aus sicherheits- und organisationstechnischen Gründen nicht durchgeführt. Der Datenspeicher ist ein getrennter Speicherblock mit 256 Einträgen. Dies ist zu wenig, um die Daten aller CIPix-Auslesechips zu speichern, jedoch ausreichend für kleine, wenig veränderliche Daten. Die Textausgabe des Prozessors nach einem Neustart erfolgt aus diesem Speicherteil. Die typische Anzahl garantierter Schreib-/Lesezyklen liegt bei 1000 Zyklen für den Programmspeicher und 100.000 Zyklen für den Datenspeicher.
- **Der prozessorinterne RAM-Speicher** ist ein statischer RAM-Speicher mit 368 Speicherzellen, welche auf 4 Speicherbänke verteilt sind (siehe Datenblatt [MT99-0]). Normalerweise muß beim Adressieren einer Speicherzelle gleichzeitig die benutzte

Speicherbank angegeben werden, bei dem Adressbereich 70-7F (dezimal: 112-127) ist dies jedoch nicht nötig, da ein Zugriff auf diese Adressen in jeder Speicherbank auf dieselben Speicherzellen zugreift. Dieser Speicherbereich wird zum Zwischenspeichern eines Parametersatzes für einen CIPix-Chip benutzt (siehe unten).

- **Der externe FLASH-Speicher** hat eine Größe von 4096 Bytes und eine Anzahl garantierter Schreib-/Lesezyklen von 1.000.000. Da ein kompletter Satz Einstellungen für die gesamte CIP-Ausleseelektronik 2080 Speicherzellen benötigt (5 Lagen x 32 Auslesechips x 13 Datenbytes = 2080 Bytes) können alle Einstellungen dort abgelegt werden. Der Zugriff auf diesen Speicher erfolgt über den  $I^2C$ -Bus.

Für eine einfache Zuordnung der Speicherbereiche des externen FLASH-Speichers zu den CIPix-Auslesechips wurden folgende Randbedingungen genutzt: jeder CIPix-Chip kann eindeutig durch seine Adresse (von 1 bis 32, entsprechend fünf Bits, da intern die Adressen um eins erniedrigt werden und somit die Adressen 0-31 verwaltet werden) und durch die Lage, auf der er installiert ist (Lage 0-4, entsprechend drei Bits), identifiziert werden. Der Datensatz eines CIPix-Chip unterteilt sich weiterhin in 13 Datenbytes (entsprechend vier Bits). Bei einer Speichergröße von 4096 Bytes (entsprechend 12 Bits) kann man eine benötigte Speicherzelle wie in Abbildung 5.2 dargestellt adressieren:

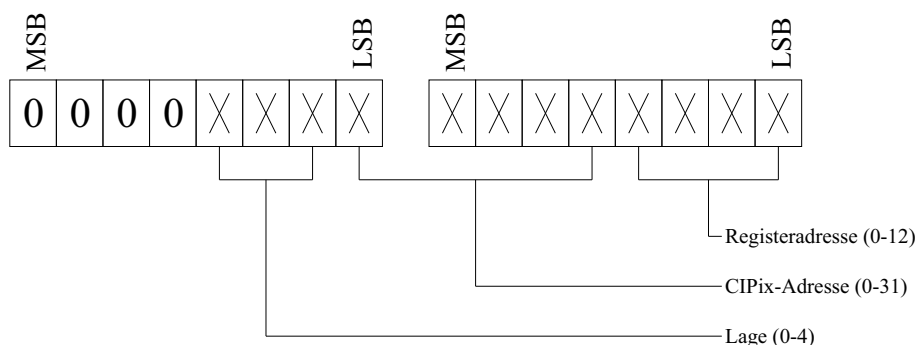


Abbildung 5.2: Speicherzuordnung im FLASH-Speicher.

Man unterteilt die 12-Bit Speicheradresse in drei Blöcke mit jeweils vier Bits (*Nibbles*). Das höchstwertigste Nibble enthält die drei Bits der Kammerlage und das höchstwertigste Bit der CIPix-Adresse. Die vier weiteren Bits dieser Adresse ergeben das zweite Nibble. Das niedrigwertigste Nibble enthält die, wiederum um eins erniedrigte, Adresse des Datenbytes innerhalb eines CIPix-Chips. Die in Bild 5.2 gezeichnete Aufteilung in zwei Datenbytes trägt der byteweisen Programmierung des Speichers über den  $I^2C$ -Bus Rechnung.

Einen typischer Speicherzugriff stellt die komplette Programmierung eines CIPix-Auslesechips dar (Abbildung 5.3), welche mit dem Befehl **Pnn** (siehe Abschnitt 5.3) durchgeführt wird. Nach Erkennung des Bytes 'P' wird die Funktion **P\_HIT** aufgerufen, welche das Byte an das Benutzerterminal zurücksendet. Nach Empfang des nächsten Zeichens wird entschieden, ob eine einzelne Programmierung oder die Auslese einer ganzen Lage bzw. der gesamten Kammer neu programmiert wird (**Pnn** bzw. **PL** oder **PG**).

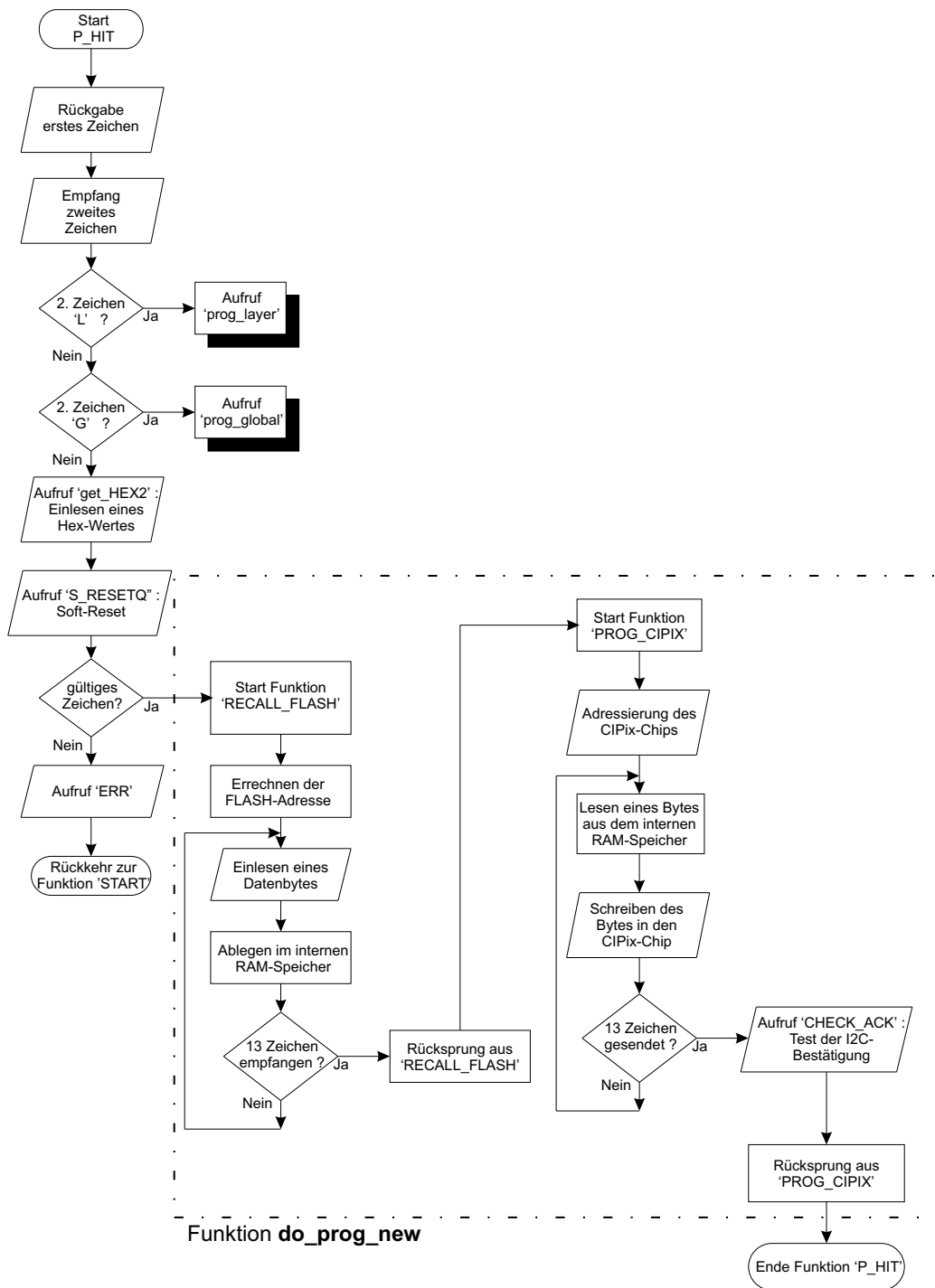


Abbildung 5.3: Flußdiagramm Funktion P\_HIT.

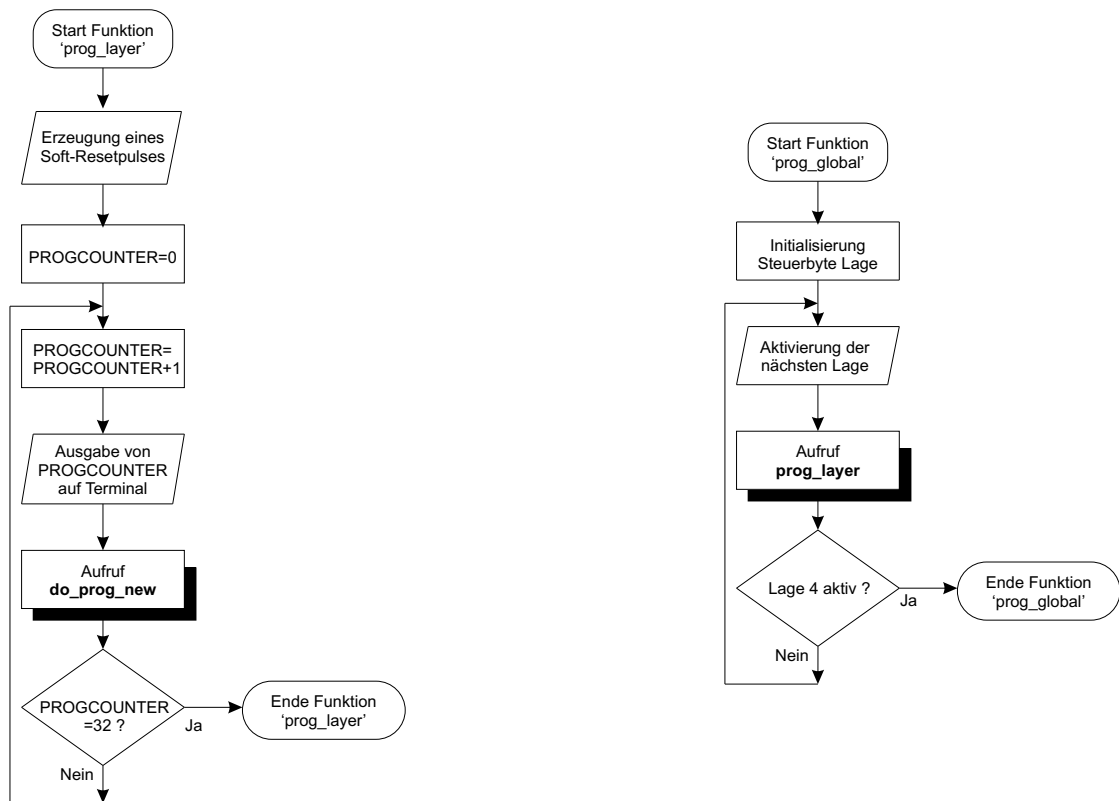
Bei einer Einzelprogrammierung wird ein zweites Byte empfangen und damit die hexadezimale Adresse des zu programmierenden CIPix-Chips gebildet. Ein Soft-Reset wird auf die aktive Lage gesendet, um die CIPix-Chips auf eine Programmierung vorzubereiten. Ist die errechnete Adresse gültig (d.h. zwischen 1 und 32) erfolgt ein Sprung in die Funktion **RECALL\_FLASH**, welche den Zugriff auf den externen FLASH-Speicher verwaltet. Dort wird nach dem Schema von Abbildung 5.2 die 12-Bit Adresse für den Zugriff erzeugt. Die benötigten 13 Datenbytes werden in einer einzelnen Sequenz aus dem FLASH-Speicher ausgelesen und im internen RAM-Speicher zwischen den Adressen 71-7D (dezimal: 113-125) abgelegt. Nach Rückkehr in die Funktion **P\_HIT** wird die Funktion **PROG\_CIPIX** aufgerufen. Hier werden die Datenbytes jeweils nacheinander aus dem RAM-Speicher ausgelesen und über den  $I^2C$ -Bus in den adressierten CIPix-Chip geschrieben. Nach Beendigung der Programmierung wird überprüft, ob alle Bytes bestätigt wurden und dementsprechend 'OK' oder 'err' an das Terminal ausgegeben.

Bei Programmierung einer kompletten Lage der Ausleseelektronik wird die Funktion **prog\_layer** aufgerufen. Die eigentliche Programmierung der CIPix-Chips umgibt eine Schleife, der Schleifenzähler wird als Adresse des zu programmierenden Chips benutzt. Für die Programmierung der kompletten Kammerelektronik wird **prog\_layer** wiederum von einer Schleife in der Funktion **prog\_global** umgeben, welche nacheinander alle fünf Lagen der Kammer für die Programmierung durch **prog\_layer** aktiviert (siehe Flußdiagramm Abbildung 5.4).

Der Vergleich der geschriebenen Daten (auch *verifizieren* genannt) eines CIPix-Chips mit den im externen FLASH-Speicher abgelegten Daten geschieht größtenteils analog zum Flußdiagramm von **P\_HIT** in Abbildung 5.3. Statt die aus dem FLASH-Speicher in den internen RAM-Speicher eingelesenen Daten in den CIPix-Chip zu schreiben, werden beim Auslesen des betreffenden CIPix-Chips die Daten byteweise verglichen. Ein lagenweises oder kammerweites Verifizieren geschieht mit geschachtelten Schleifen analog der CIPix-Programmierung (siehe Abbildung 5.4).

Als weiteres Beispiel soll hier noch eine Flußdiagramm der Funktion **ANA\_TEST** angegeben werden (Abbildung 5.5). Nach Absprache mit Bedienern der Kammer wurde diese Funktion integriert, um die ordnungsgemäße Verbindung der analogen Eingänge der CIPix-Chips zur Kammer schnell und effektiv zu testen. Hierbei wird die Pad-Kapazität der an den analogen Eingängen angeschlossenen Kammer genutzt: das Rauschen des ladungsempfindlichen Vorverstärkers ist abhängig von seiner Eingangskapazität, ebenso wird der schnelle interne Testpuls eines CIPix-Chips durch die zusätzliche Lastkapazität verbreitert.

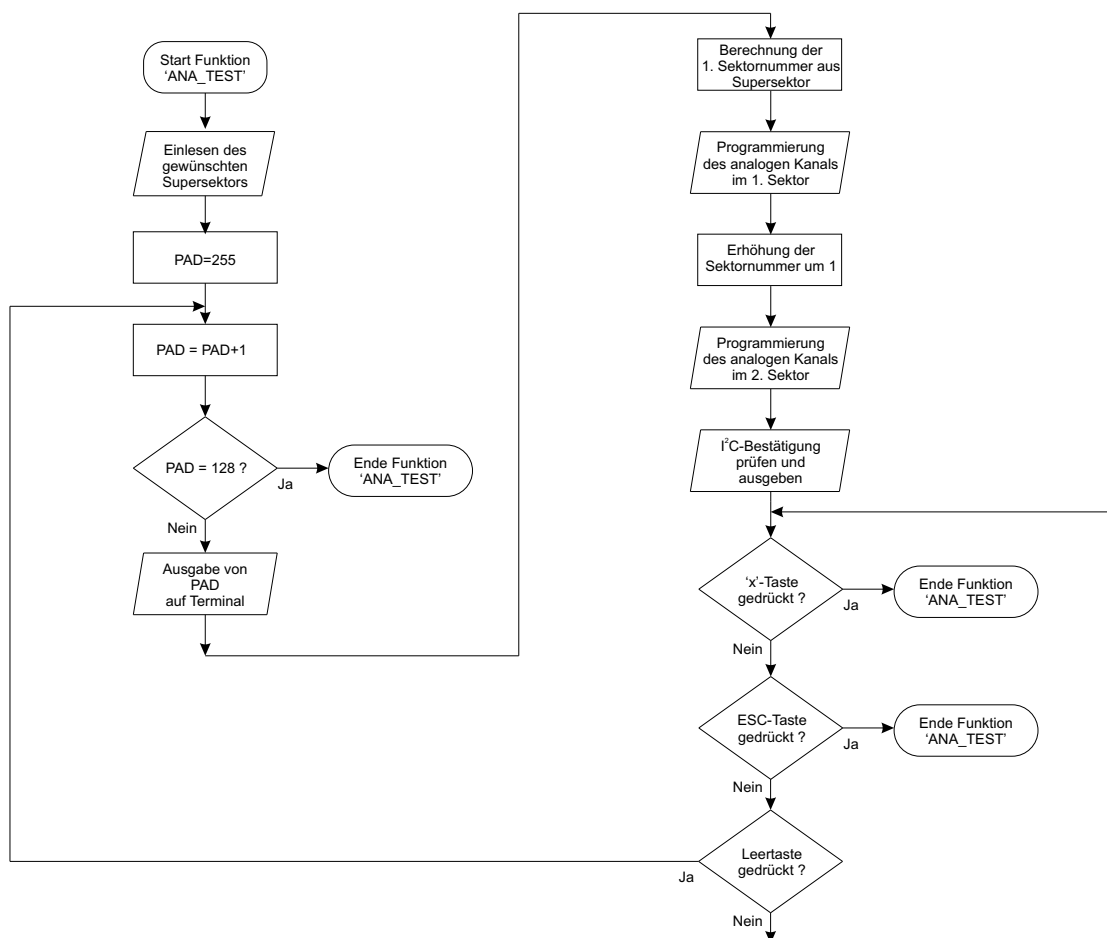
Durch die Zusammenführung der analogen Ausleseekanäle von zwei benachbarten Sektoren (siehe Blockschaltbild 3.1) entsteht ein im folgenden *Supersektor* genannter Bereich. Unter Angabe des gewünschten Supersektors der aktiven Lage werden nach Aufruf der Funktion **ANA\_TEST** mit jedem Druck auf die Leertaste des Terminals die Eingangskanäle 0-127 von beiden CIPix-Auslesekarten jeweils auf ihren analogen Ausgangskanal gegeben. Dort können sie gleichzeitig mit einem Oszilloskop vermessen werden. Ein vorzeitiger Abbruch der Funktion ist mit der 'ESC'- oder der 'x'-Taste möglich.

Abbildung 5.4: Flußdiagramme der Funktionen **prog\_layer**, **prog\_global**.

### 5.3 Befehlsübersicht

Im folgenden soll eine Übersicht der Befehle der Benutzerschnittstelle gegeben werden. Das verwendete RS-232 Protokoll benutzt eine Geschwindigkeit von 38400 Baud, 8 Datenbits, 1 Stopbit, keine Parität. Ein entsprechend eingestelltes Terminal ist somit zur Bedienung vollkommen ausreichend. Die Trailer-Box sendet jedes als gültig erkannte Zeichen, welches am Terminal eingegeben wird, direkt zurück. Dies dient als einfaches Übertragungsprotokoll, um dem Terminal die Bereitschaft zum Empfang weiterer Zeichen zu signalisieren. Zur besseren Übersicht ist es daher angebracht, das lokale Echo am Terminal abzuschalten. Damit werden nur noch die empfangenen Daten auf dem Bildschirm dargestellt.

Grundlegende Regeln für die Benutzerschnittstelle sind die Verwendung von Großbuchstaben und die Eingabe von numerischen Werten im hexadezimalen System. Bis auf die Wahl der zu programmierenden Lage werden außerdem alle numerischen Angaben im Byte-Format erwartet, d.h. ein eingegebener numerischer Wert muß sich zwischen 00 (dezimal 0) und FF (dezimal 255) befinden. Da die CIP-Kammer nur aus 5 Lagen besteht, ist bei der Wahl der Lage eine Angabe zwischen 0 und 4 ausreichend.

Abbildung 5.5: Flußdiagramme der Funktion **ANA\_TEST**.

Nach dem Start der Steuerhardware meldet sich der Prozessor mit folgender Meldung am Terminal:

```
CIP Control Version cipcpu9.asm 14.12.00
```

-

Je nach programmierter Prozessorsoftware kann die Versionsnummer davon abweichen. Fehlt diese Nachricht ganz oder werden nur unsinnige Zeichen ausgegeben muß die Verbindung zwischen Terminal und Prozessor überprüft werden. Mit dem Prompt '-' signalisiert der Prozessor die Empfangsbereitschaft für folgende Kommandos:

**Ln** Auswahl der aktiven Lage :

Da die fünf Lagen der Kammer galvanisch getrennt sind existieren im Prinzip auch fünf getrennte  $I^2C$ -Bussysteme. Durch den Befehl **Ln**, wobei **n** eine Zahl zwischen 0 und 4 ist, wird eine Lage ausgewählt. Alle nachfolgenden Befehle wirken nur auf diese Lage. Ausgenommen sind die globalen Befehle **PG** und **VG**(siehe unten).

**SL** *Suche nach installierten CIPix-Auslesechips :*

Der I<sup>2</sup>C-Adressbereich wird nach reagierenden Auslesechips durchsucht. Die Adressen der Chips werden als Hexadezimalwert am Terminal ausgegeben.

**HR** *Erzeugung einer Hard-Reset Bedingung auf der aktiven Lage :*

Durch einen Hard-Reset werden alle CIPix-Chips einer Lage intern auf einen Anfangszustand zurückgesetzt. Dieser entspricht dem Zustand der Chips nach dem Anlegen der Versorgungsspannung. Insbesondere werden bei einem Hard-Reset alle Register des CIPix-Chips gelöscht, also auf Null gesetzt. Der Hard-Reset löst auch eine erneute Vergabe der I<sup>2</sup>C-Adressen unter den Chips aus.

**SR** *Erzeugung einer Soft-Reset Bedingung auf der aktiven Lage :*

Der Unterschied des Soft-Reset zum Hard-Reset ist, daß die internen Zustände des CIPix-Chips auf ihren Anfangszustand zurückgesetzt werden, der Inhalt der CIPix-Register (siehe Abschnitt 3.2.2) nicht gelöscht wird. Signaltechnisch ist der Unterschied zwischen Hard- und Soft-Reset die Dauer des Pulses.

**Rnn** *Ausgabe der CIPix-Register am Terminal :*

Zur Auslese der eingestellten Werte eines CIPix-Chips dient der Befehl **Rnn**, wobei **nn** ein Wert zwischen 00 (dezimal 0) und FF (dezimal 255) sein kann und die Adresse des auszulesenden Chips ist. Bei ordnungsgemäßer Adressvergabe der CIPix-Chips sollten auf einer Lage allerdings nur CIPix-Adressen zwischen 01 und 20 (dezimal 32) aktiv sein. Nach erfolgter Eingabe des Befehls werden am Terminal 13 hexadezimale Werte ausgegeben, sie stehen in ihrer Reihenfolge für den Inhalt der Register 01 bis 0D (dezimal 13) des adressierten CIPix-Chips. Diese Werte sind nur dann als gültig anzusehen, wenn die Ausgabe mit einem 'OK' abgeschlossen wird. Dies signalisiert die Bestätigung der Lesesequenz durch den angesprochenen Chip. Fehlt eine Bestätigung innerhalb der Auslesesequenz wird die Ausgabe am Terminal mit einem 'err' beendet, insbesondere wird so der Versuch einen nicht vorhandenen CIPix-Chip auszulesen beantwortet.

**Pnn** *Programmierung der CIPix-Register :*

Hiermit werden die im Flash-Speicher der CPU-Karte abgelegten Daten eines CIPix-Chips in den Chip zurück geschrieben. Die Adresse des zu schreibenden CIPix-Chips 'nn' wird auch hier hexadezimal angegeben. Eine erfolgreiche Programmierung ist für den Prozessor an der Bestätigung jedes übertragenen Bytes angezeigt und wird mit 'OK' ausgegeben. Wie beim Lesebefehl erzeugt ein Zugriff auf eine nicht vorhandene CIPix-Adresse eine Fehlermeldung.

**PL** *Programmierung aller CIPix-Register einer Lage :*

Alle CIPix-Chips einer Lage werden auf einmal programmiert. Jeder programmierte Chip wird mit Adresse und einer Bestätigung erfolgreicher oder mißglückter Programmierung an das Terminal gemeldet.

**PG** *Programmierung aller CIPix-Chips der ganzen Kammer :*

Alle fünf Lagen werden nacheinander programmiert. Auch hier wird nach Programmierung jedes Chips seine Adresse und eine Statusmeldung an das Terminal ausgegeben.

**Vnn** *Vergleich der CIPix-Register mit dem Flash-Speicher :*

Um eine durchgeführte Programmierung nochmals zu überprüfen, ist mit diesem Befehl ein Vergleich des Inhalts eines mit **nn** angegebenen CIPix-Chips mit den im Flash-Speicher abgelegten Werten möglich. Bei Übereinstimmung wird 'OK' ausgegeben, bei Unterschieden bzw. nicht vorhandenem CIPix-Chip 'err'.

**VL** *Vergleich aller CIPix-Register einer ganzen Lage :*

Analog zum Befehl **PL** wird hier eine komplette Lage mit den Werten im Speicher verglichen.

**VG** *Vergleich aller CIPix-Register der ganzen Kammer :*

Analog zum Befehl **PG** wird hier die komplette Kammer verglichen.

**Snn** *Schreiben der Register eines CIPix in den Speicher :*

Nach einer manuellen Änderung einzelner CIPix-Register (siehe unten) ist es wünschenswert, den neu erarbeiteten Satz Parameter im Speicher abzulegen. Dies ist mit dem Befehl **Snn** mit der CIPix-Adresse **nn** möglich. Alle weiteren Programmierungen der CIPix-Chips aus dem Speicher (**Pnn**, **PL**, **PG**) erfolgen mit den neuen Werten.

Als weitere Funktion ist es dem Benutzer möglich, eine  $I^2C$ -Sequenz manuell einzugeben und damit direkt Einfluß auf jedes Register, sowohl in einem CIPix als auch im FLASH-Speicher, zu nehmen. Eine Startbedingung wird durch Eingabe eines '<' ausgelöst, mit '>' wird eine Stop-Bedingung auf den  $I^2C$ -Bus gegeben. Damit setzt sich eine typische Schreibsequenz für einen CIPix-Chip wie folgt zusammen:

<F0010A70>

Man erkennt folgende Abfolge: zuerst eine Startbedingung ('<'), gefolgt von dem Kommando für den  $I^2C$ -Bus, in den 10-Bit-Modus zu wechseln ('F0'). Als nächstes erscheint die Adresse des angesprochenen CIPix-Chips ('01'), das benötigte Register im Chip ('0A', entspricht  $V_{\text{offset}}$ ) und dem neu zu schreibenden Wert für dieses Register ('70'). Abgeschlossen wird jede  $I^2C$ -Sequenz mit einer Stop-Bedingung ('>'). Ähnlich wird vorgegangen, wenn alle Register auf einmal beschrieben werden sollen. Anstatt der zu beschreibenden Registernummer wird '00' eingetragen, danach folgen die 13 zu ladenden Registerwerte vor der Stop-Bedingung.

Allgemein läßt sich ein manueller CIPix-Schreibzugriff wie folgt darstellen:

- Start-Bedingung
- 10-Bit-Kennung (immer 'F0')
- CIPix-Adresse
- Registeradresse (00 für alle Register)
- Datenbytes (1 Byte oder 13 Bytes)
- Stop-Bedingung



Ein Schreibzugriff auf den FLASH-Speicher ist in der Struktur sehr ähnlich. Durch die Größe des Speichers ist eine Identifikation der Speicherzelle jedoch nicht mit einem Byte allein möglich. Bei einer Speichergröße von 4096 Bytes werden 12 Bits gebraucht, d.h. bei Programmierung im Byte-Format mindestens zwei Bytes. Durch die Festlegung der  $I^2C$ -Adresse des FLASH-Speichers durch den Speicher selber ('A0') sieht ein Schreibzugriff folgendermaßen aus:

- Start-Bedingung
- Flash-Adresse (immer 'A0')
- höherwertiges Byte der Adresse der Speicherzelle
- niederwertiges Byte der Adresse der Speicherzelle
- Datenbytes
- Stop-Bedingung

Die Anzahl der zu schreibenden Bytes ist dabei zunächst nicht festgelegt, da nach jedem gesendeten Datum die Schreiblogik des FLASH-Speichers seinen Adresszähler automatisch um eins erhöht. Allerdings muß auf die internen logischen Grenzen des FLASH-Speicher Rücksicht genommen werden. Darauf soll hier im Einzelnen nicht eingegangen werden (siehe dazu Datenblatt [MT99-1]).

Für die beiden wichtigsten einstellbaren Parameter des CIPix-Chips wurden weitere Funktionen implementiert:

**Taabbcc** *Setzen der Diskriminatorschwellen :*

Um das Setzen der Diskriminatorschwellen zu vereinfachen, übernimmt der Prozessor die Zuordnung der zu setzenden Schwellenbereiche auf die entsprechenden Register. Der gewünschte  $\varphi$ -Sektor wird in 'aa', die z-Sektion (siehe unten) in 'bb' und der neue Wert der Diskriminatorschwelle in 'cc' angegeben. Bei einer angegebenen z-Sektion 00 werden alle vier Sektionen mit dem gleichen Schwellwert geladen.

Seit der CIPix Version 1.1 werden den 64 Kanälen eines CIPix-Chips zwei Diskriminatorschwellen  $V_{\text{ref}0}$  (Kanäle 0-31) und  $V_{\text{ref}1}$  (Kanäle 32-63) zugeordnet. Unter Beachtung der Anschlußreihenfolge der CIPix-Chips an die Kammerpads (nicht alle 128 Kanäle werden genutzt) folgt die in Tabelle 5.1 angegebene Verteilung der Sektionen:

z-Sektion 1	Pads 1-28
z-Sektion 2	Pads 29-60
z-Sektion 3	Pads 61-88
z-Sektion 4	Pads 89-120

Tabelle 5.1: Einteilung der z-Sektionen für die Diskriminatorschwellen.

Durch die unterschiedliche Padanzahl pro Lage in z-Richtung (siehe [Ur00]) ergibt sich die in Abbildung 5.6 gezeigte geometrische Anordnung der z-Sektionen.

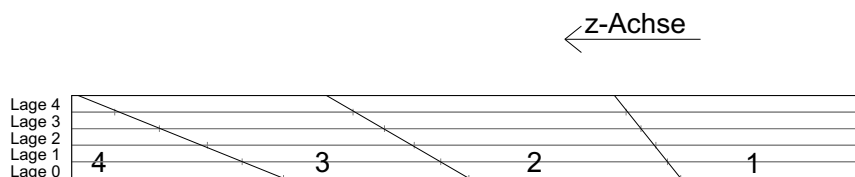


Abbildung 5.6: Einteilung der z-Sektionen für die CIPIX-Schwellwerteinstellung.

**Txbbcc** *Setzen der Schwellen auf ganzer Lage / Kammer :*

Auch hier läßt sich der Befehl auf eine komplette Lage bzw. auf die ganze Kammer ausdehnen. Dies geschieht jeweils durch Einsetzen von 'L' oder 'G' anstelle von 'x'. Bei 'bb' und 'cc' werden genau wie beim sektorweisen Schwellensetzen z-Sektion und neuer Schwellwert angegeben.

**Aaadd** *Steuerung der Analog-Kanäle :*

Da jeder CIPIX-Chip über die Möglichkeit verfügt, einen seiner Eingangskanäle analog zu übertragen, ist dieser Befehl sehr nützlich für die Überwachung und Kontrolle der Kammerfunktion. Pro  $\varphi$ -Sektor kann hierbei ein Kanal angewählt werden. Dies geschieht durch Angabe von  $\varphi$ -Sektor in 'aa' und Padnummer in 'dd'. Wird eine Padnummer größer 128 angegeben, wird der analoge Ausgang dieses  $\varphi$ -Sektors abgeschaltet.

**ATee** *Testprogramm zur schnellen Kanalkontrolle :*

Um die Funktion der CIPIX-Vorverstärker und den Effekt der angeschlossenen Kammerkapazität schnell testen zu können, wurde eine Funktion implementiert, welche mit minimalem Benutzereingriff jeweils alle 128 Kanäle von zwei benachbarten  $\varphi$ -Sektoren darstellt. Durch die Zuordnung jeweils einer Receiverkarte zu zwei  $\varphi$ -Sektoren ist es möglich, an dieser Receiverkarte zwei analoge Ausgänge gleichzeitig zu beobachten. Hierzu wurde nun der Begriff *Supersektor* eingeführt, welcher jeweils zwei solcher  $\varphi$ -Sektoren zusammenfaßt. Durch Angabe des zu kontrollierenden Supersektors 'ee' im Befehl wird ein kleines Testprogramm gestartet, welches beginnend bei Kanal 0 alle Kanäle der beiden betroffenen Sektoren nacheinander auf die analogen Ausgänge schaltet. Durch Betätigung der Leertaste am Terminal kann der Benutzer die Kanalnummer jeweils um eins bis zum letzten Kanal 128 erhöhen. Alternativ ist ein früherer Programmabbruch mit der ESC- oder 'x'-Taste möglich. Bei gleichzeitig aktiviertem internen Testpulsgenerator ist somit eine schnelle Kontrolle der Pulsform und damit der Vorverstärkerfunktion möglich.

## Kapitel 6

# Charakterisierung der CIPix-Frontendparameter

Nach der funktionalen Beschreibung der Steuerung wird in diesem Kapitel nochmals auf das zu steuernde System, den CIPix-Auslesechip an der CIP-Kammer, eingegangen. Die meisten Messungen dieses Kapitels wurden mit dem CIPix-Auslesechip Version 1.0 an einem Prototypen der neuen CIP-Kammer an der Universität Zürich durchgeführt. Im folgenden wird, wenn nicht anderweitig erwähnt, auf dieses System Bezug genommen. Bis auf die Neuordnung der Bondflächen des CIPix-Chips Version 1.1 hatte keine Änderung zur Version 1.0 einen Einfluß auf die hier dargestellten Messungen. Die Neuordnung der Bondflächen verlegte unter anderem einen Anschluß für den Auslesetakt, dessen Platz in der Version 1.0 neben dem analogen Ausgang war. Somit wurde die externe Störeinkopplung auf diesen Kanal deutlich reduziert (siehe Abbildungen 6.1, 6.2).

### 6.1 Funktionsweise der Register

Unter Beachtung des CIPix-Blockschaltbildes (Abbildung 3.2) lassen sich vier Parameter identifizieren, welche direkten Einfluß auf die Gesamtverstärkung und die Pulsform vor dem Diskriminator haben. Dies sind jeweils die Biasströme<sup>1</sup> und Biasspannungen des Vorverstärkers und des Pulsformers (*Shaper*). Die Stromeinstellung  $I_{\text{buf}}$  des nachfolgenden Pufferverstärkers hat keinen Einfluß auf die Pulsform. Er dient nur als Impedanzwandler, um aus dem hochohmigen Ausgangssignal des Pulsformers ein niederohmiges Signal für die folgende AC-Kopplung zu machen.

Die anfänglichen Messungen beschränkten sich auf das Einrichten des Meßplatzes und die Inbetriebnahme der Auslekette, zunächst ohne Kammer. Abbildung 6.1 zeigt einen Ladungspuls des internen Testpulsgenerators (hier Kanal 21  $\hat{=} 100000 e^-$ ) aufgenommen an der Buchse J2 der Prototyp-Auslekarte. Dieser Punkt wurde wegen seiner leichteren

---

<sup>1</sup>engl. *to bias*: beeinflussen; *hier*: Arbeitspunkteinstellung

Zugänglichkeit der direkten Messung am analogen Ausgang des CIpix-Chips vorgezogen. Die Buchse J2 entspricht dem Eingang des optischen Hybriden für den analogen Kanal und unterscheidet sich vom direkten Abgriff am CIpix-Ausgang durch einen Operationsverstärker mit einer Verstärkung von 8. Er dient zur Anpassung des analogen Signals an den Dynamikbereich der optischen Übertragungsstrecke.

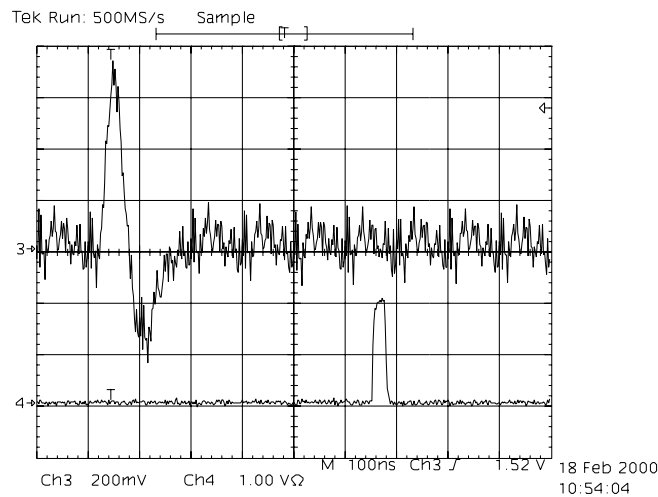


Abbildung 6.1: Interner Testpuls auf Kanal 21 ( $100000 e^-$ ) mit digitalisiertem Signal.

Das zweite Signal ist der entsprechende digitale Ausgang des CIpix-Chips. Dieses Signal ist entsprechend einer Abtastrate von 10 MHz ( $\cong 100$  ns) und dem internen vierfach Multiplexing des CIpix (siehe Abschnitt 3.2.1) 25 ns lang. Zum Vergleich ist in Abbildung 6.2 ein vergleichbares Testpulssignal der CIpix Version 1.1 dargestellt.

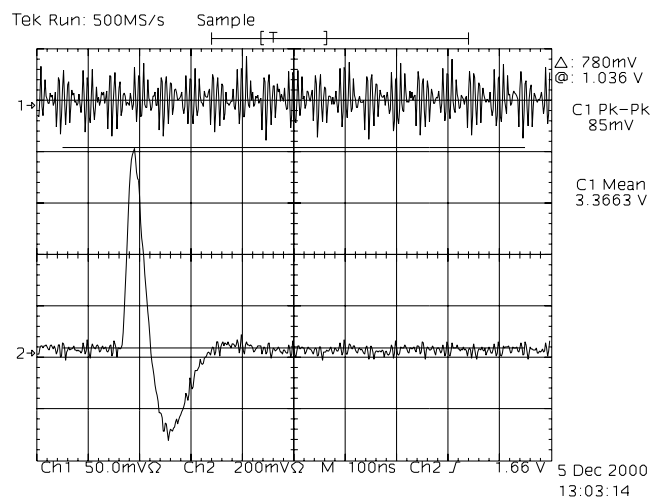


Abbildung 6.2: Interner Testpuls bei Version 1.1, Kanal 21 ( $100.000 e^-$ ), oberes Signal ist das Rauschen der +3.3 Volt Versorgung.

Man erkennt in Abbildung 6.1 auch die Gesamtverzögerung des digitalen Signals in Relation zum analogen Eingangssignal, da diese Messung mit einem Lichtwellenleiter durchgeführt wurde, dessen Länge mit der geplanten Länge von ca. 37 m im H1-Experiment übereinstimmt. Die Zeitdifferenz zwischen analogem und digitalem Signal von  $< 600$  ns ist ausreichend, da im globalen Timing<sup>2</sup> die Daten bis maximal sieben Bunchcrossings nach dem Ereignis an der Backplane des Triggersystems ankommen müssen (siehe [Ur00], Abbildung 3.13).

Nach Anbau der Auslesekarte an den Kammerprototypen konnten erstmals echte Signale vermessen werden. Hierzu wurde um die Kammer ein System von Fotomultipliern nach Abbildung 6.3 aufgebaut. Hierbei hat der obere Fotomultiplier eine aktive Fläche, die etwa einem Kammer-Pad entspricht. In Koinzidenz mit dem unteren Fotomultiplier, der eine aktive Fläche von ca.  $30 \text{ cm} \times 30 \text{ cm}$  hat, sollen so möglichst alle Teilchen erfaßt werden, die von der Rutheniumquelle durch das ausgelesene Pad gehen. Somit wird die Effizienz  $\eta$  nach Formel 6.1 berechnet:

$$\eta = \frac{\text{Zähler CIP}}{\text{Zähler gesamt}} \quad (6.1)$$

### Meßschaltung für CIP-Effizienz

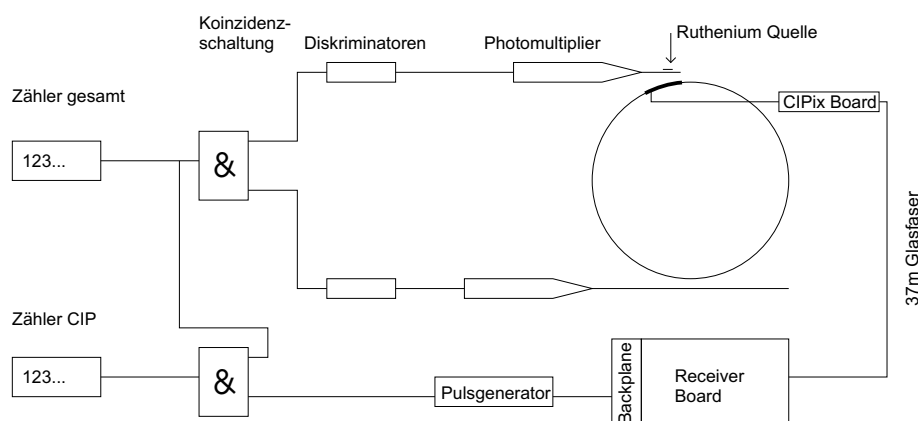


Abbildung 6.3: Aufbau zur Messung der Kammereffizienz.

Abbildung 6.4 zeigt einen typischen Kammerpuls ausgelöst durch die Rutheniumquelle. Die oberen beiden Signale sind die digitalen Ausgänge der Diskriminatoren nach den Fotomultipliern, der nächste Kanal ist das analoge Signal am Abgriff J2 und unten das digitale Signal am Ausgang der Receiverkarte. Deutlich wird hier die Länge eines Pulses der Kammer und die daraus resultierende Mehrfachauslösung des CIPix-Diskriminators. Diese dreifache Auslösung erscheint im ersten Moment unzulässig, da so eine eindeutige Zuordnung des Signals zu einem Wechselwirkungszeitpunkt nicht möglich scheint. Die Wahrscheinlichkeit, daß Signale von zwei aufeinanderfolgenden Wechselwirkungszeitpunkten das gleiche

<sup>2</sup>Zeitablauf

Pad treffen, ist jedoch so gering, daß das Triggersystem diese Mehrdeutigkeit auflösen kann. Für die weiteren Messungen im Labor ist diese dreifache Auslösung unerwünscht, da die verwendeten Zähler schnell genug sind, um ein solches Ereignis voll aufzulösen. Um dies zu verhindern, ist dem Signalausgang der Receiverkarte ein Pulsgenerator mit einer Pulsbreite von ca. 500 ns nachgeschaltet. Bei den Raten der verwendeten Rutheniumquelle ist die Wahrscheinlichkeit der irrtümlichen Zusammenfassung von zwei Ereignissen verschwindend gering.

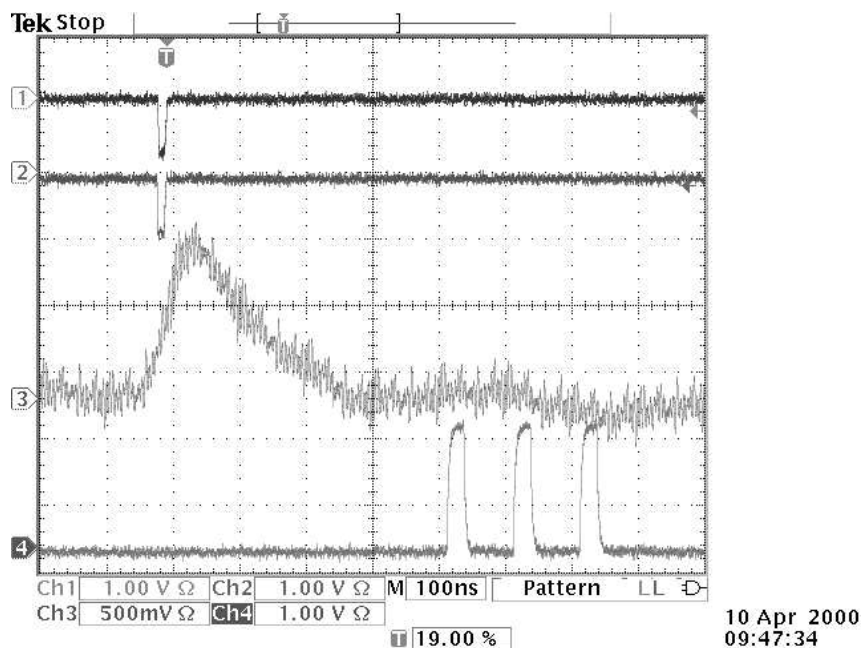


Abbildung 6.4: Kammerpuls mit digitalem Signal.

Die verwendeten Verstärkerparameter (Tabelle 6.1) entsprechen den Vorgaben in [Lö98]:

Parameter	Hex-Wert	phys. Wert
Vorverstärkerspannung $V_{fp}$	8C	187,5 mV
Vorverstärkerstrom $I_{pre}$	50	200 $\mu$ A
Shaperspannung $V_{fs}$	E0	1,00 V
Shaperstrom $I_{sha}$	28	100 $\mu$ A

Tabelle 6.1: Frontendeinstellungen vor Optimierung.

Ausgehend von diesen Ausgangswerten wurde eine Optimierung dieser Parameter in Bezug auf die Pulshöhe am analogen Ausgang angestrebt. Dazu wurde die Kammerhochspannung auf ca. 2,2 kV abgesenkt, um bei ca. 50 % Effizienz eine höhere Empfindlichkeit auf Veränderungen der Pulshöhe zu erreichen. Die Diskriminatorschwelle wurde ebenfalls auf "Betriebsniveau" abgesenkt, d.h. so niedrig wie möglich ohne Auslösung durch Rauschen. Dies wurde durch einen Wert von 8A (dezimal 138, entspricht 156 mV) erreicht.

Als erstes wurde der Strom  $I_{\text{pre}}$  des Vorverstärkers variiert (Abbildung 6.5).

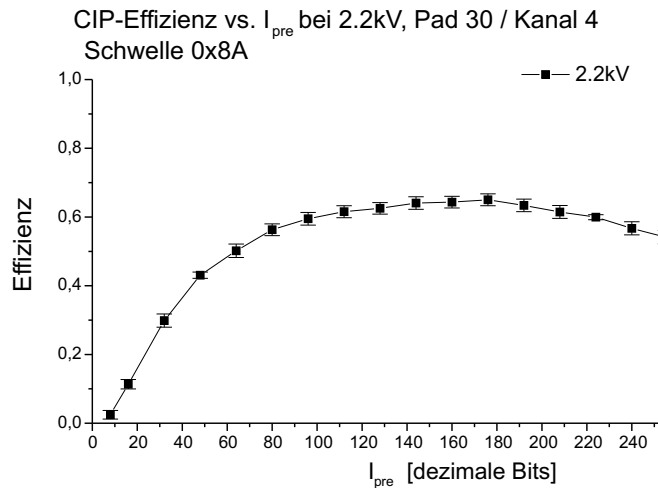


Abbildung 6.5: Kammereffizienz bei Variation des Vorverstärkerstromes  $I_{\text{pre}}$ .

Wie bereits in Abschnitt 3.2.2 erläutert, wird eine Anpassung an die Kammerkapazität erwartet. Durch eine Anpassung der Einstellung von den anfänglichen 50 (dezimal:80) auf B0 (dezimal: 176) ergibt sich eine Erhöhung der Kammereffizienz von 56% auf knapp über 65%.

Davon ausgehend wurde als nächstes die Spannung des Vorverstärkers variiert (Abbildung 6.6).

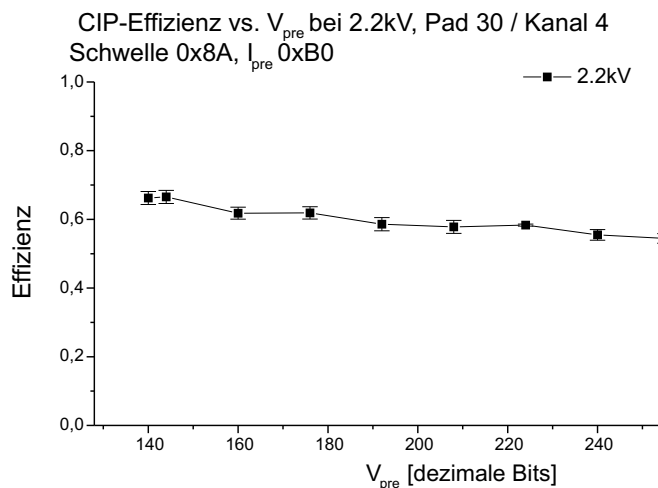


Abbildung 6.6: Kammereffizienz bei Variation der Vorverstärkerspannung  $V_{\text{pre}}$ .

Dies geschah nur im Wertebereich 80-FF (dezimal: 128-255), da nur hier eine positive Spannung am Rückkopplungselement des Vorverstärkers anliegt. Es zeigt sich keine nennenswerte Änderung der Kammereffizienz bzw. der Pulshöhe. Bei der folgenden Variation

der Spannung  $V_{fs}$  des Pulsformers wurde daher die Vorgabe von 8C (dezimal: 140) für die Spannung  $V_{pre}$  des Vorverstärkers beibehalten.

Die Variation von  $V_{fs}$  (Abbildung 6.7) zeigt die deutlichste Auswirkung eines Parameters auf die Kammereffizienz. Dies ist verständlich, da  $V_{fs}$  die Integrationszeit und damit die Pulshöhe direkt beeinflusst. Damit wird auch die Pulslänge verändert: Eine lange Integrationszeit ergibt einen hohen, allerdings auch langsamen Puls. Hier muß im Experiment ein Mittelweg zwischen Kammereffizienz und Pulslänge und damit Mehrfachauslösung des CIPix-Diskriminators gefunden werden. Die Effizienz variiert hier zwischen knapp 88% für einen Wert von 90 (dezimal: 144) und 58% für eine Einstellung von FF (dezimal : 255). Die Vorgabe des ASIC-Labors entsprach E0 (dezimal: 224) und damit einer Effizienz von 63%.

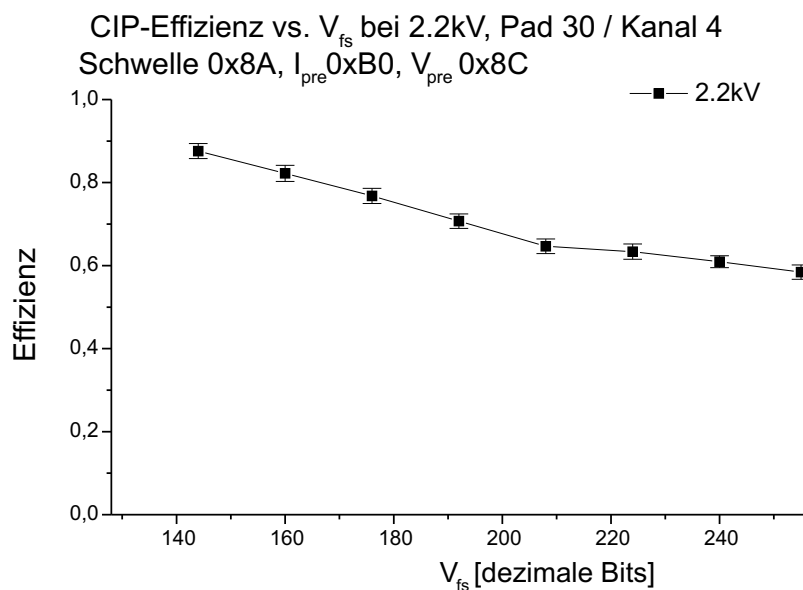
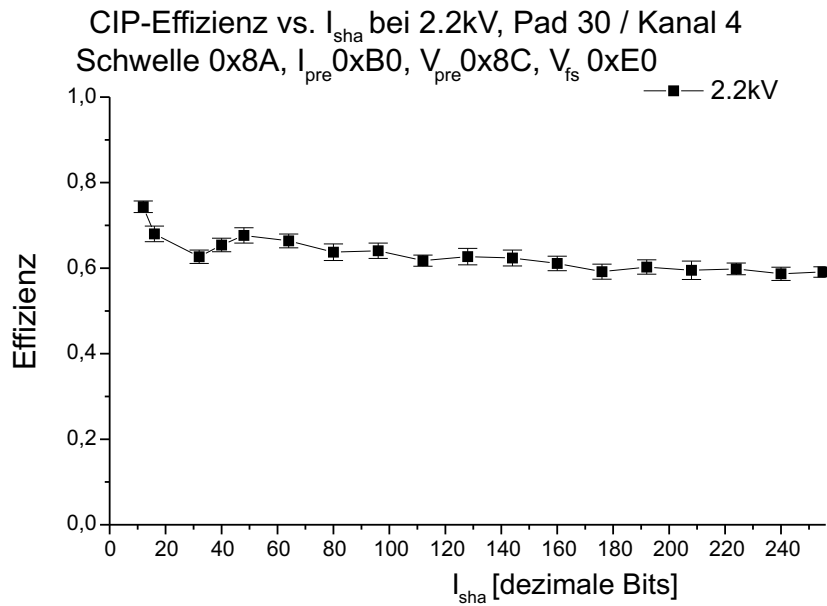


Abbildung 6.7: Kammereffizienz bei Variation der Shaperspannung  $V_{fs}$ .

Der vierte Parameter, die StromEinstellung  $I_{sha}$  des Shapers, ergab bis auf eine Schwankung in niedrigen Strombereichen keine wesentlichen Änderungen der Effizienz (Abbildung 6.8). Der steile Anstieg unterhalb einem Wert von 20 (dezimal: 32) wird mit einem zu geringen Versorgungsstrom für den Shaper gedeutet. Die Vorgabe des ASIC-Labors lag hier bei 28 (dezimal: 40) und wird im folgenden beibehalten.



Abbildung 6.8: Kammereffizienz bei Variation des Shaperstromes  $I_{\text{sha}}$ .

Aus der Optimierung der Frontend-Parameter an dem Kammerprototypen ergab sich der in Tabelle 6.2 zusammengefaßte Datensatz. Soweit nicht anders erwähnt, wird bei den folgenden Messungen dieser Satz Einstellungen verwendet.

Parameter	Hex-Wert	phys. Wert
Vorverstärkerspannung $V_{\text{fp}}$	8C	187.5 mV
Vorverstärkerstrom $I_{\text{pre}}$	B0	440 $\mu\text{A}$
Shaperspannung $V_{\text{fs}}$	E0	1.00 V
Shaperstrom $I_{\text{sha}}$	28	100 $\mu\text{A}$

Tabelle 6.2: Frontendeinstellungen nach Optimierung

## 6.2 Messungen

Nach der Optimierung der Parametereinstellungen des Frontends wurde eine Plateaukurve der CIP-Kammer aufgenommen (Abbildung 6.10). Hierzu wird die Kammereffizienz in Abhängigkeit von der angelegten Hochspannung gemessen. Zum Vergleich dazu zunächst eine Messung mit den alten Einstellungen (Abbildung 6.9).

Um eine möglichst hohe Empfindlichkeit im Experimentalbetrieb zu haben, ist eine Effizienz von 100% anzustreben. Beginnende Gasentladungen bei zu hohen Betriebsspannungen begrenzen den nutzbaren Spannungsbereich nach oben. Der ideale Arbeitspunkt liegt damit am Beginn des Plateaus.

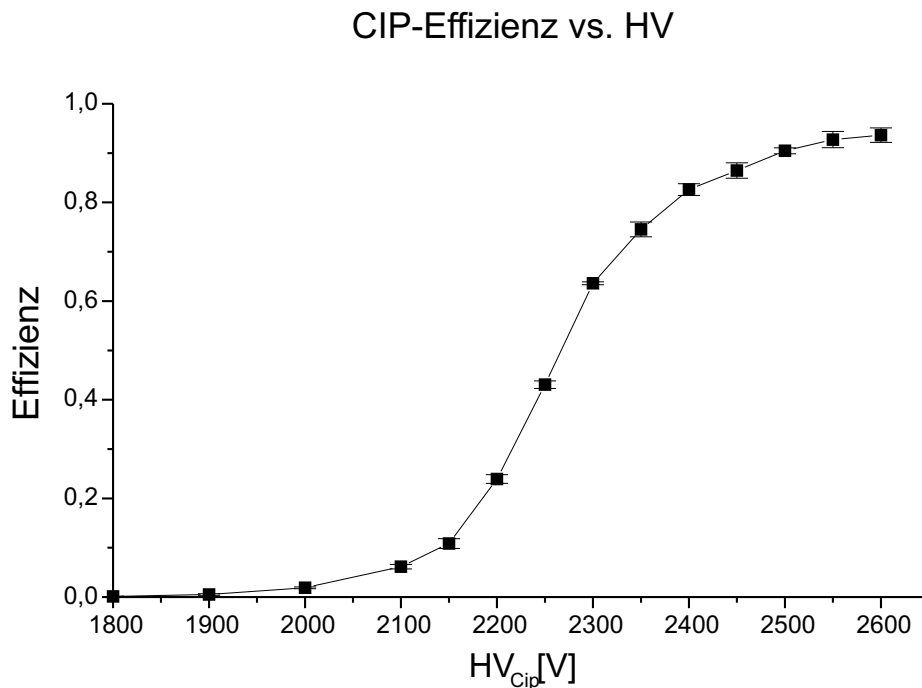


Abbildung 6.9: Plateaukurve mit Schwelle A0, nicht optimiertes Frontend.

Die Einstellung mit dem stärksten Einfluß auf den Beginn des Plateaus ist dabei die Schwelle des Diskriminators. Eine Reduzierung von A0 auf 8A (dezimal: 160 auf 138, entspricht 500 mV auf 156 mV) ergibt eine Verschiebung der Kurve zu niedrigeren Spannungswerten um ca. 150 V. Die Variation der Integrationszeit des Shapers über  $V_{fs}$  ergibt dagegen nur eine Verzerrung der Plateaukurve (Abbildung 6.10), einhergehend mit einer Reduzierung der Effizienz von 93% auf 90% bei einer Hochspannung von 2400 V. Die Bestimmung der Effizienz für verschiedene Pads auf dem Kammerprototypen ergab eine maximale Variation von ca. 10%. Dies ist zum Teil auf die jeweilige Neuausrichtung der Fotomultiplier auf verschiedene Pads und die Position der Rutheniumquelle zurückzuführen. Hierbei wurde ebenfalls ein defektes Pad (Nummer 15) entdeckt (Abbildung 6.11).

Für die Bestimmung der mittleren Pulshöhe der Kammer mußte zunächst eine Bestimmung der Verstärkung der Ausleseelektronik erfolgen. Hierzu wurde bei angeschlossener Kammer über eine externe Einkopplung mit einer Kapazität eine definierte Ladungsmenge auf einen Eingang gegeben.

Die Werte für eingekoppelte Signale mit 50000 bzw. 100000 Elektronen stimmen jeweils mit denen für einen internen Testpuls überein (Abbildung 6.12). Zu beachten ist, daß diese Messung ebenfalls an der Buchse J2 gemacht wurde und somit zusätzlich zu den internen Verstärkern des analogen CIPix-Kanals noch die Verstärkung des externen Operationsverstärkers für die optische Übertragungsstrecke eingeht. Eine weitere Möglichkeit der Kalibrierung bietet der interne Diskriminator des CIPix-Chips. Dazu wurde bei angeschlossener Kammer ein Signal von 120000 Elektronen auf einen Eingang gekoppelt und

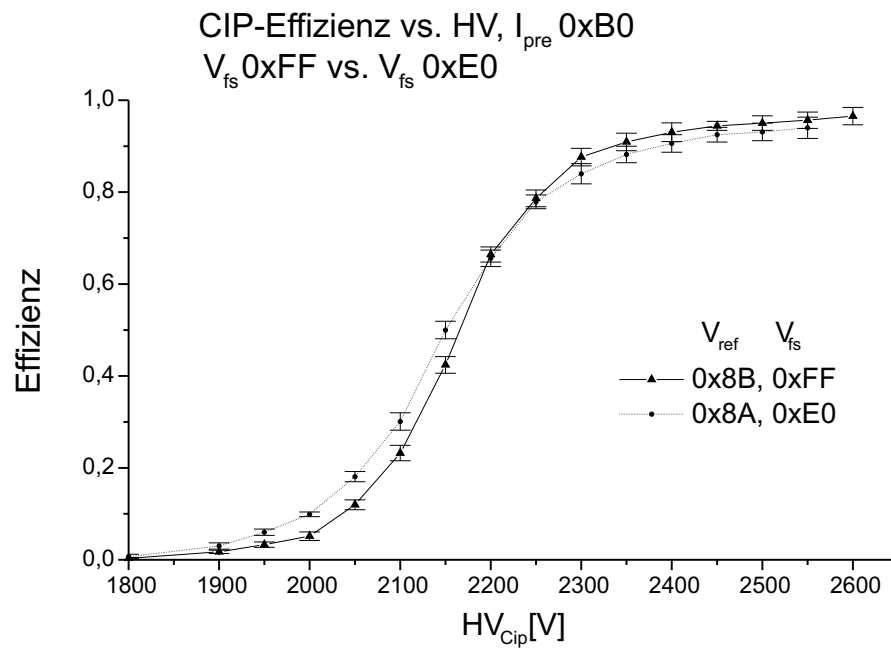


Abbildung 6.10: Plateaukurve mit Schwelle 8A und optimiertem Frontend.

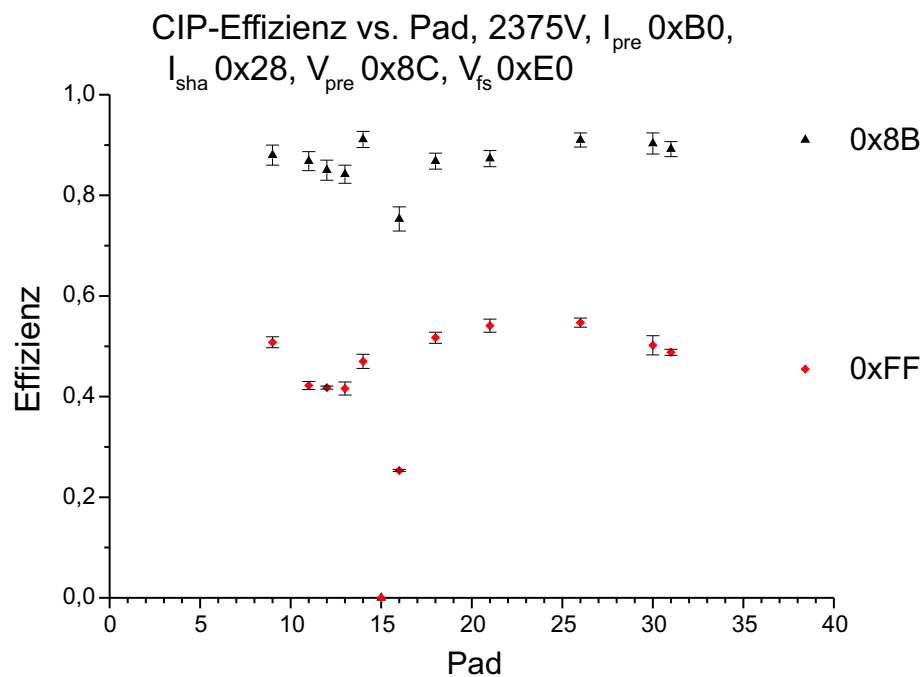


Abbildung 6.11: Abhängigkeit der Effizienz vom Kammerpad.

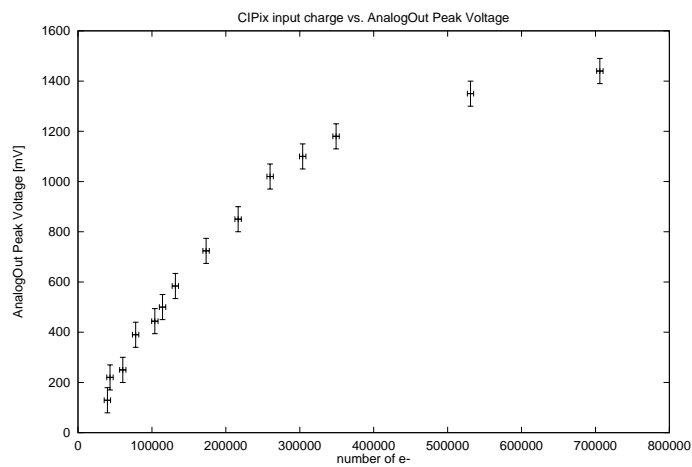


Abbildung 6.12: Höhe externer eingekoppelter Testpulse für verschiedene Ladungsmengen.

die Signalhöhe mit dem internen Diskriminator bestimmt. Zu beachten ist dabei, daß der Zeitpunkt des Samplings<sup>3</sup> mit dem maximalen Ladungssignal zusammenfällt. Hierzu wurde das Ladungssignal an den Samplingtakt gekoppelt und über eine Verzögerungsleitung relativ zum Takt verschoben. Abbildung 6.13 zeigt die gemessene Kurve, in welcher das durch die Kammerkapazität verbreiterte Testpulssignal zu erkennen ist.

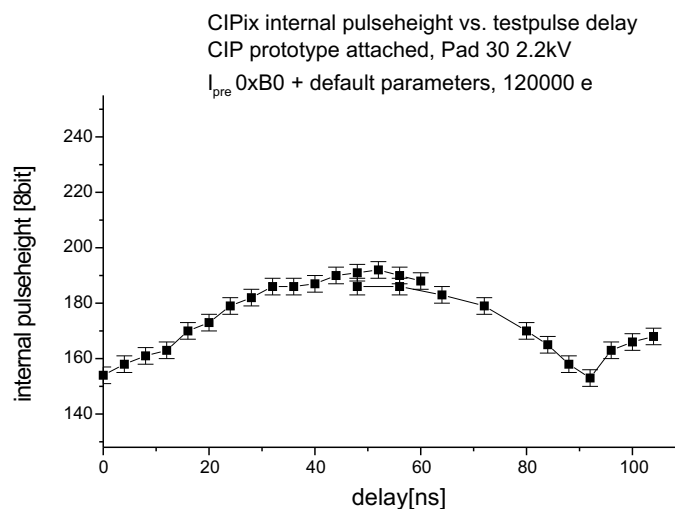


Abbildung 6.13: Zeitliche Abtastung eines externen Testpulses von 120000 Elektronen.

Die Überlappung im mittleren Teil und die fehlende Übereinstimmung der Werte für 0 nsec und 100 nsec resultiert vom Einfügen einer weiteren Leitung in die Verzögerungsleitung zur Messung im zweiten Teil. Das Maximum des Signals liegt bei einem Diskriminatorwert von 192. Der Zeitpunkt des Maximums ist hierbei nebensächlich, da er abhängig vom

<sup>3</sup>Datennahme

Meßaufbau ist. Beim Einstellungsbereich des Diskriminators von 0-255 (entspricht -2 V bis +2 V) bedeutet dies eine interne Pulshöhe von 64 Bits über dem Nullpunkt. Die Messung der mittleren Pulshöhe wird nun mit der Einstellung des Diskriminators vorgenommen. Er wird derart justiert, daß die Effizienz 50% beträgt. Dies bedeutet gleichviele Pulse sowohl unter- als auch oberhalb der eingestellten Schwelle. Bei einer Kammer Spannung von 2400 V konnte diese Effizienz durch Setzen der Schwellen auf ihren maximalen Wert FF (dezimal: 255) jedoch nicht erreicht werden, zusätzlich wurde folglich die Hochspannung der Kammer reduziert. Bei einer Hochspannung von 2375 V wird mit einer Schwelleneinstellung von FF eine ungefähre Effizienz von 50% der Kammer erreicht. Dies entspricht einer Pulshöhe von 127 Bits und somit einer mittleren Ladungsmenge von knapp 240000 Elektronen. Folglich ist bei einer Betriebsspannung größer 2400 V mit einem mittleren Kammer signal von mehr als 240000 Elektronen zu rechnen.

Eine weitere wichtige Messung ist die Vermessung des Pulshöhenspektrums. Hierbei wird das analoge Signal des Verstärkers betrachtet und die Häufigkeit einer Pulshöhe über den gesamten Bereich der möglichen Pulshöhe aufgetragen. Dieser ist nach unten durch das Rauschen des Verstärkers und nach oben durch den Sättigungsbereich der Auslekette begrenzt. Somit kann eine Aussage über die Anpassung des Dynamikbereiches der Auslese an die eingehenden Signale getroffen werden.

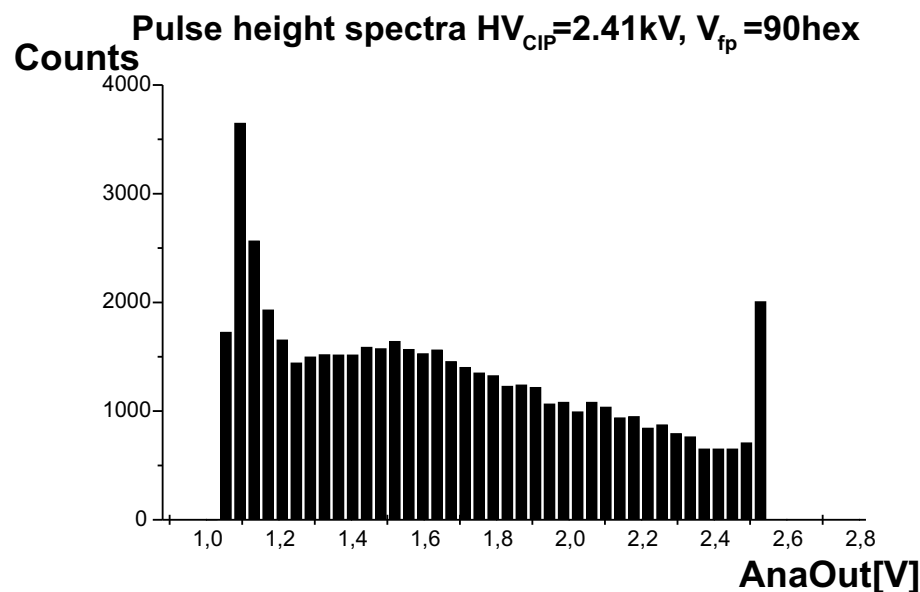


Abbildung 6.14: Pulshöhendiagramm bei  $U_{CIP}=2.41\text{ kV}$ .

Das aufgenommene Pulshöhenspektrum (Abbildung 6.14) ist als schlecht zu bezeichnen. Der Grund hierfür liegt in dem hohen Pickup des analogen Kanals des CIPix-Chips Version 1.0 (siehe Abbildung 6.1), welcher die gemessene Pulshöhe verschmiert. Ein besseres Pulshöhendiagramm wird von der Auslekette des CIPix-Chips Version 1.1 durch das bessere Signal/Rausch-Verhältnis (siehe Abbildung 6.2) erwartet. Dies konnte im Rahmen dieser Arbeit jedoch nicht mehr überprüft werden.

Für die korrekte Einstellung des Timings im Experiment ist die Verschiebung des 10,4 MHz HERA-Taktes, welcher als Sampling-Takt an die CIPix-Ausleseelektronik geliefert wird, so einzustellen, daß die taktsynchron stattfindenden Teilchenevents und die damit verbundenen Signale in der CIP-Kammer zum richtigen Zeitpunkt, also bei maximalem Signal, eingelesen werden. Um festzustellen, wie kritisch diese Einstellung ist, wurde dies im Labor simuliert.

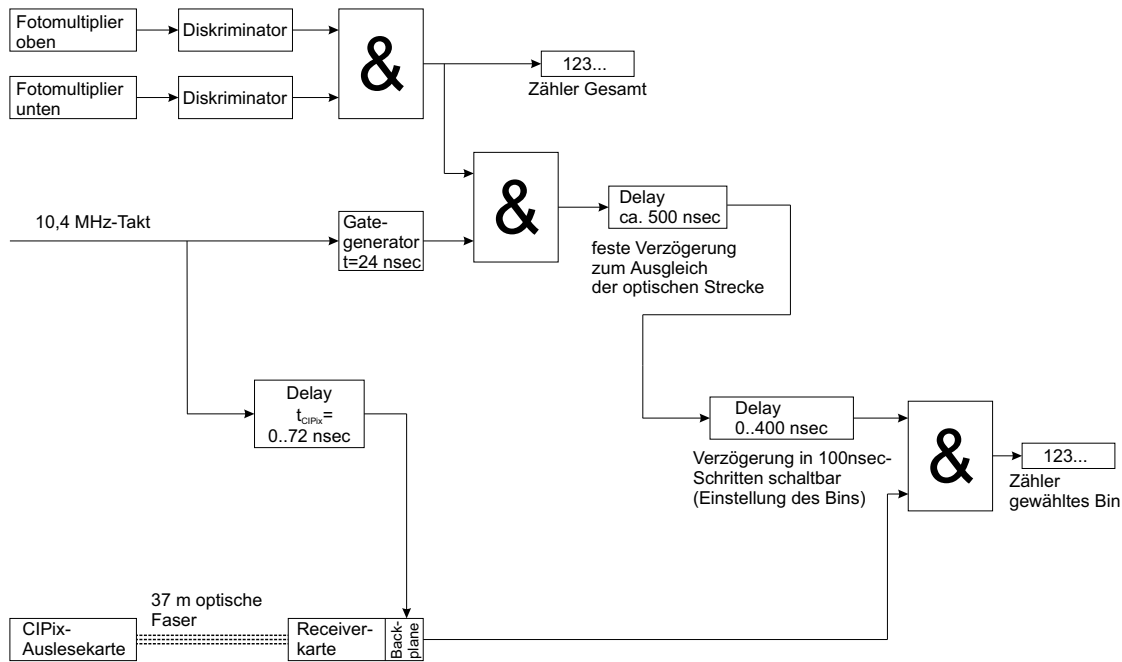


Abbildung 6.15: Koinzidenz- und Zählerschaltung bei Verschiebung des Sampling-Zeitpunkts.

Die verwendete Schaltung ist in Abbildung 6.15 skizziert. Das von einer Rutheniumquelle emittierte Teilchen wird analog zur Effizienzmessung mit einer Koinzidenz von zwei Fotomultipliern detektiert und gezählt. Der verwendete 10 MHz-Takt löst einen *Gate*-Generator mit einer Torzeit von ca. 24 ns aus. Dies dient in Verbindung mit der nachgeschalteten Koinzidenz für ein simuliert taktsynchrones Signal der Kammer. Der 10 MHz-Takt wird ebenfalls als Sampling-Takt für die CIPix-Ausleseelektronik benutzt und dafür an der Backplane in die Receiverkarte eingespeist. Über eine variable Verzögerungsleitung kann hier der Zeitpunkt des Samplings des CIPix-Diskriminators bezogen auf das selektierte Ereignis verschoben werden. Das ebenfalls an der Backplane der Receiverkarte abgenommene digitale Signal wird zu einer weiteren Koinzidenzschaltung geführt. Das zweite Signal für diese Koinzidenz ist das simuliert taktsynchrone Signal, welches mit einer festen Verzögerung von ca. 500 ns und einer weiteren schaltbaren Verzögerung von 0 bis 400 ns an der Koinzidenzschaltung ankommt. Die feste Verzögerung dient zum Ausgleich der Signallaufzeit in der optischen Faser und der Ausleseelektronik, die schaltbare Verzögerung ist in Schritten von 100 ns einstellbar und ermöglicht dem der Koinzidenzschaltung folgenden Zähler

eine Erkennung der verschiedenen Samplingzeiten. Da das auslösende Signal der Kammer typischerweise länger als 100 ns ist, erfolgt eine Mehrfachauslösung des Diskriminators (siehe Abbildung 6.4). Mit der beschriebenen Schaltung kann nun für Verschiebungen des Samplingzeitpunktes gegen das Signal für aufeinanderfolgende Abtastungen die jeweilige Wahrscheinlichkeit einer Auslösung gemessen werden.

Die Messungen wurde für Verschiebungen des CIPix-Taktes zwischen 0 und 72 ns durchgeführt. Die ‐Wanderung‐ des Ladungssignals durch die Abtastzeitpunkte ist deutlich zu erkennen (Abbildungen 6.16 bis 6.20). Nimmt man sich jetzt exemplarisch einen Samplingzeitpunkt (hier auch  $bin^4$  genannt) heraus (z.B. '-1') und trägt die Wahrscheinlichkeit für eine Auslösung dieses Bins über die Verschiebung des CIPix-Auslesetaktes auf, so erhält man eine Aussage über die zeitlichen Dimensionen der benötigten Timingeinstellung im Experiment. Man erkennt in Abbildung 6.21 einen Zeitrahmen von etwas über 40 ns in dem eine Abtastung nicht sehr effektiv wäre, da sie vor dem eigentlichen Signalmaximum stattfindet.

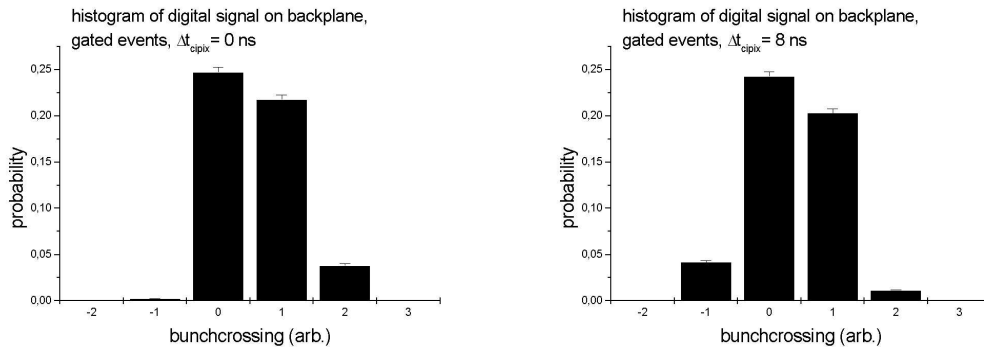


Abbildung 6.16: Verschiebungen des CIPix-Taktes um 0 bzw. 8 ns.

---

<sup>4</sup>Fach

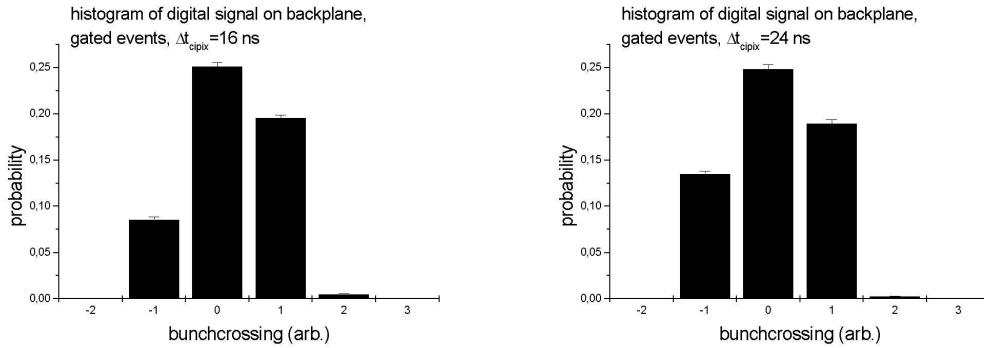


Abbildung 6.17: Verschiebungen des CIpix-Taktes um 16 bzw. 24 ns.

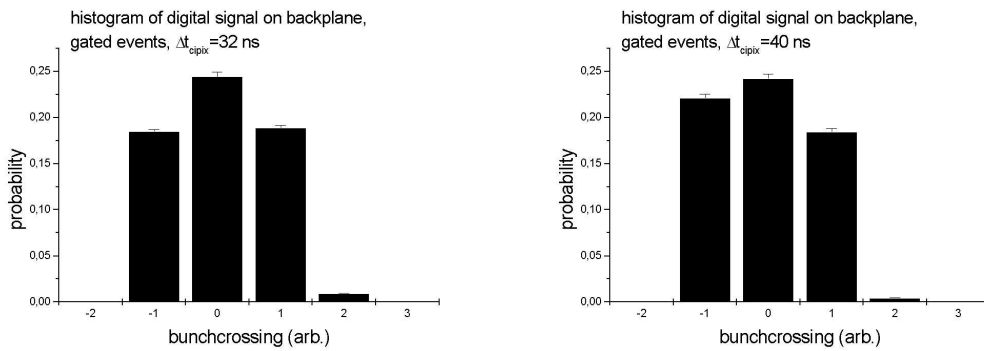


Abbildung 6.18: Verschiebungen des CIpix-Taktes um 32 bzw. 40 ns.

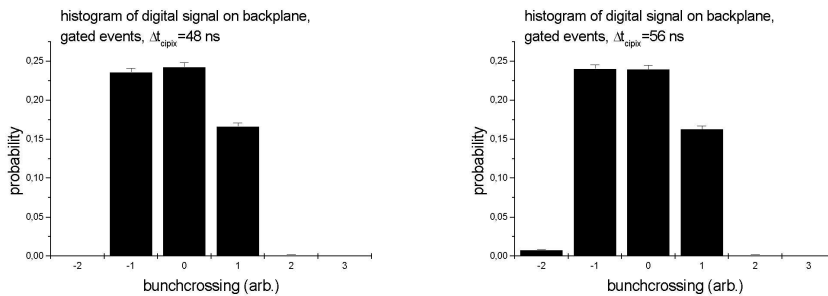


Abbildung 6.19: Verschiebungen des CIpix-Taktes um 48 bzw. 56 ns.



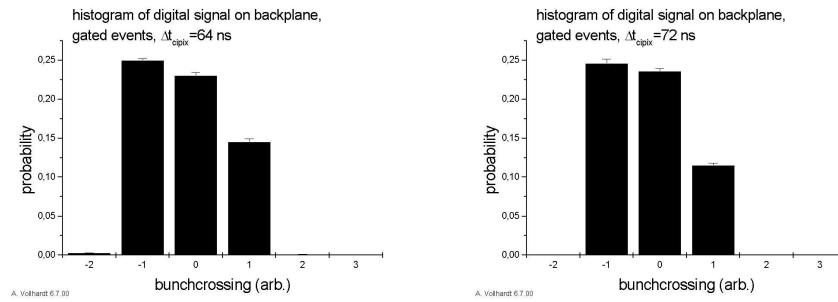


Abbildung 6.20: Verschiebungen des CIPix-Taktes um 64 bzw. 72 ns.

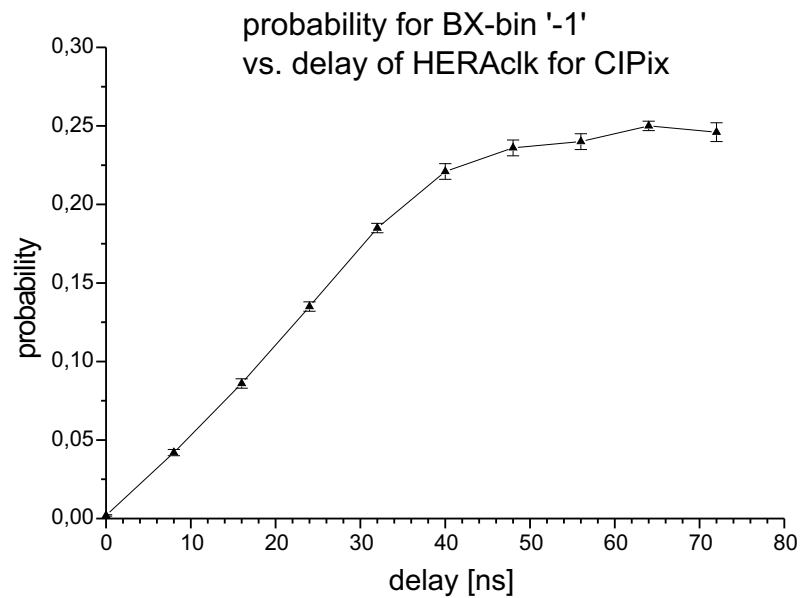


Abbildung 6.21: Wahrscheinlichkeit für Bin '-1' bei variablem Abtastzeitpunkt.



# Kapitel 7

## Zusammenfassung

Im Rahmen dieser Arbeit wurde für die neue Ausleseelektronik des CIP-Upgrade Projektes für H1 eine Steuerung entwickelt und gebaut. Die Kontrolle der CIPix-Auslesechips geschieht dabei über fünf separate  $I^2C$ -Bussysteme, die über optische Leitungen die galvanische Trennung der Kammerlagen beibehalten. Das ebenfalls übertragene  $\overline{\text{RESET}}$ -Signal ist dabei in der Lage, wahlweise nur die internen Zustände der Auslesechips oder die Zustände zusammen mit den Steuerregistern der Ausleseelektronik zurückzusetzen. Diese beiden Aufgaben werden von einem Mikrocontroller von *Microchip Technologies Inc.* mit entsprechender Programmierung übernommen. Parallel dazu kann die Temperatur jeder Auslesekarte an der CIP-Kammer gemessen und über eine eigene Schnittstelle ausgelesen werden. Beim Design wurde bewußt auf bewährte und leicht erhältliche Technologie zurückgegriffen, um die Entwicklung und Fertigung der Baugruppen zu beschleunigen.

Die verwendete Schnittstelle zum H1-Experiment ist eine über ASCII-Kommandos bedienbare RS-232 Schnittstelle. Damit ist ein serielles Terminal zur Steuerung ausreichend. Mit kurzen Kommandos können die Einstellungen der Kammerauslese wahlweise komplett oder einzeln geladen und verifiziert werden. Um eine Eingabe aller Steuerdaten über das Terminal zu vermeiden, werden die verwendeten Daten hierzu aus einem FLASH-Speicher der Steuerung geladen. Weiterhin ist ein Zugriff sowohl auf die Auslesechips als auch auf den Datenspeicher auf unterster Ebene möglich. Eine so geänderte Einstellung eines Auslesechips kann automatisch in den FLASH-Speicher übernommen werden. Weitere bereitgestellte Funktionen sind die Einstellung der Diskriminatorschwellen, die Steuerung der analogen Testkanäle sowie ein Testprogramm zur schnellen Funktionsprüfung mit Testpulsen an der Kammer.

Das komplette Steuersystem wurde im Dezember 2000 mehrere Wochen lang an einem Prototypen der Auslesekarte getestet. Erste Tests mit Auslesekarten der Serienproduktion werden im Januar 2001 erwartet, der Einbau in das H1-Experiment und die Inbetriebnahme erfolgt im Anschluß.



# Anhang A

## Schaltbilder

Das Steuerungssystem wurde mit der CAD-Software EAGLE Version 3.55 vom Januar 2000 entwickelt. Aus den entworfenen Schaltpläne wird mit einem in der Software enthaltenen Layoutmodul entweder manuell oder mit einem Autorouter ein Platinenlayout hergestellt und in einem Datenformat bereitgestellt, welches direkt als Datenbasis für einen Platinenhersteller dienen kann.

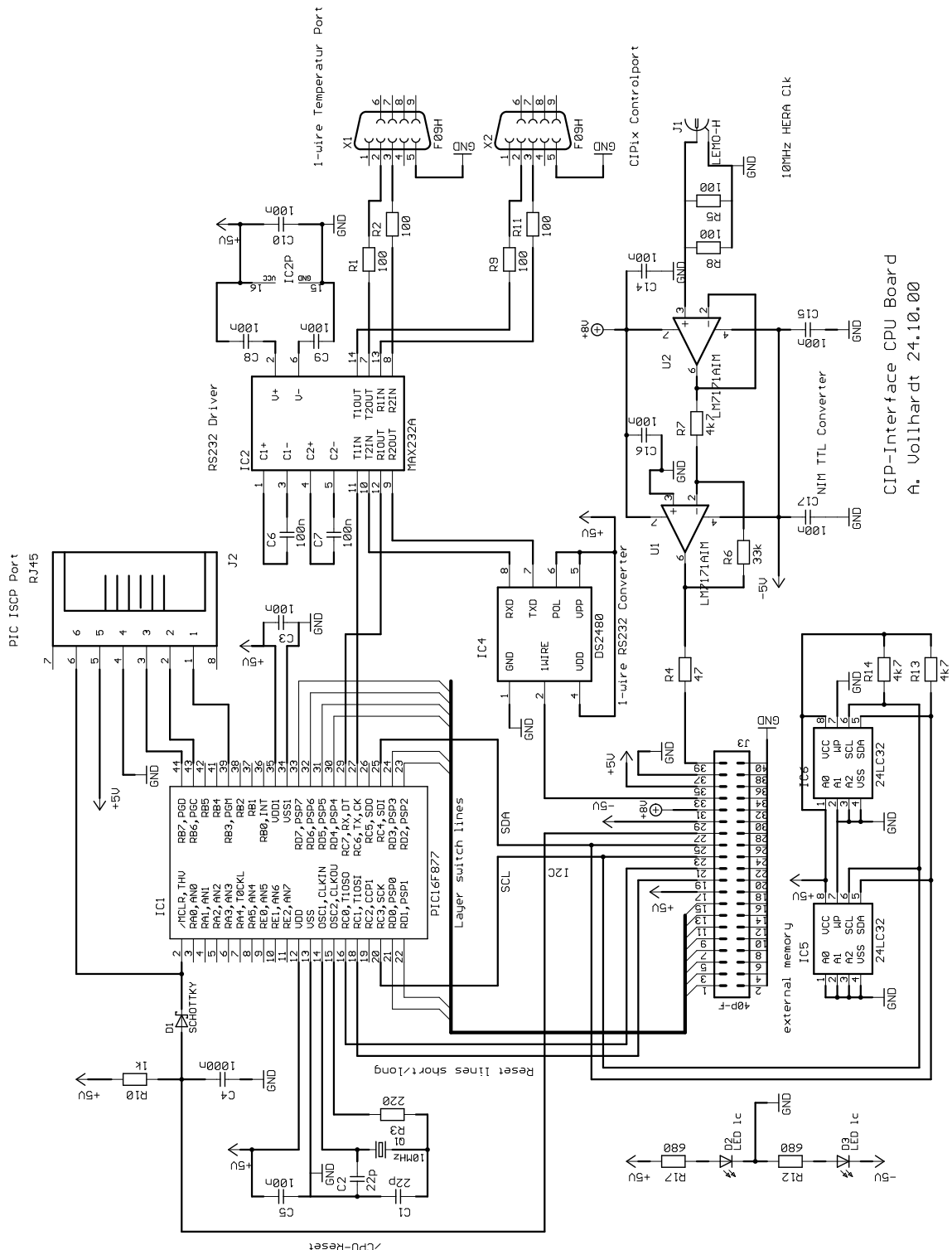


Abbildung A.1: Schaltbild CPU-Karte

CIP-Interface CPU Board  
A. Vollhardt 24.10.00

CIP ControlInterface Fibercard A. Voilhardt 23.10.00

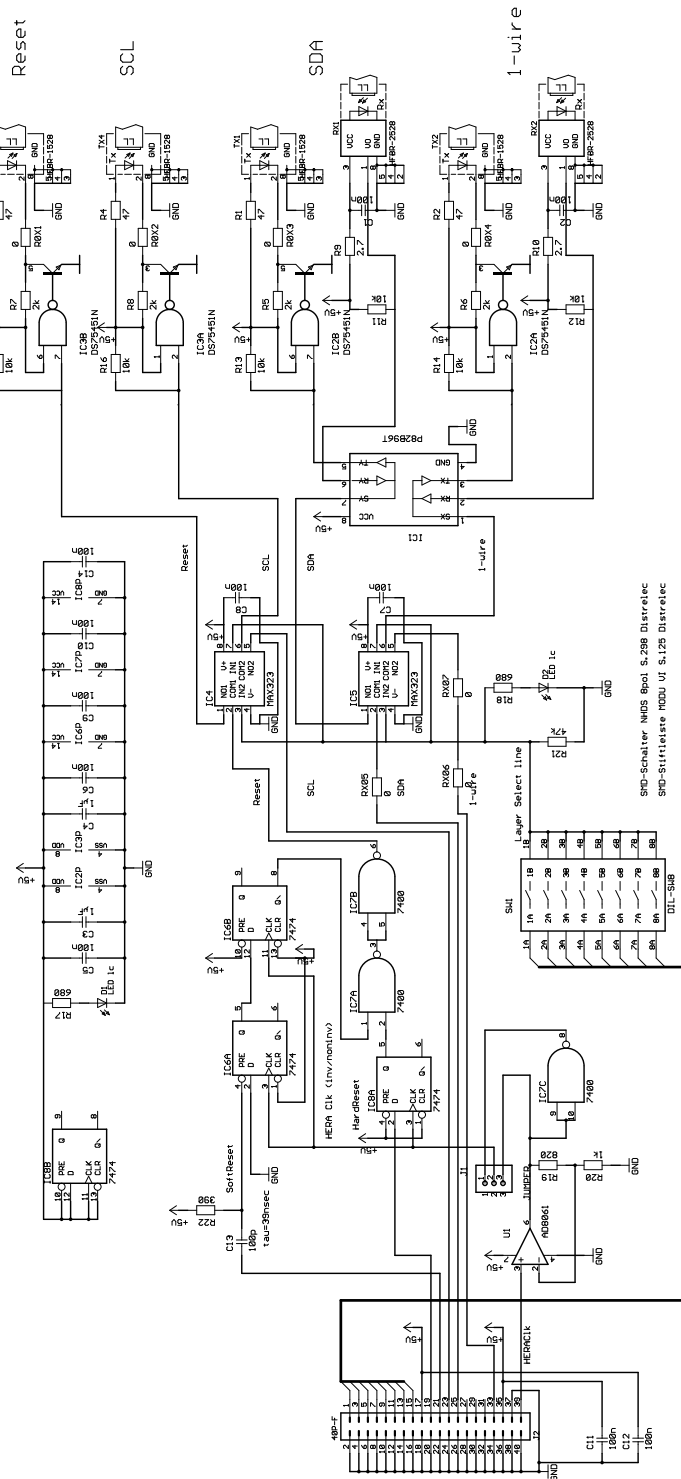


Abbildung A.2: Schaltbild Fiber-Karte

CIP-Interface CDA unit (1 of 5), A. Vollhardt 30.11.00

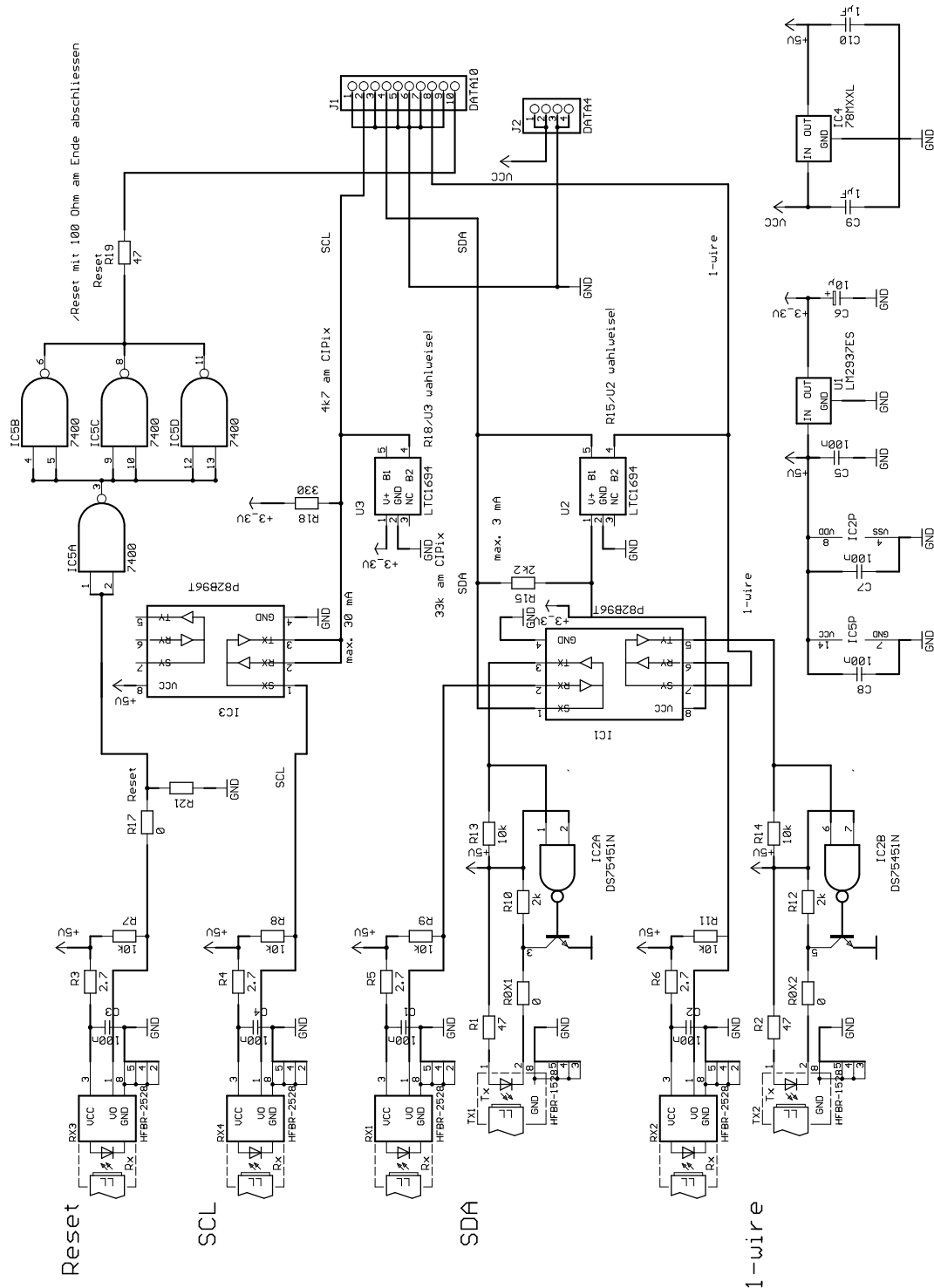


Abbildung A.3: Schaltbild Karte CDA-Interface



CIP Controlinterface Backplane A. Vollhardt 24.10.00

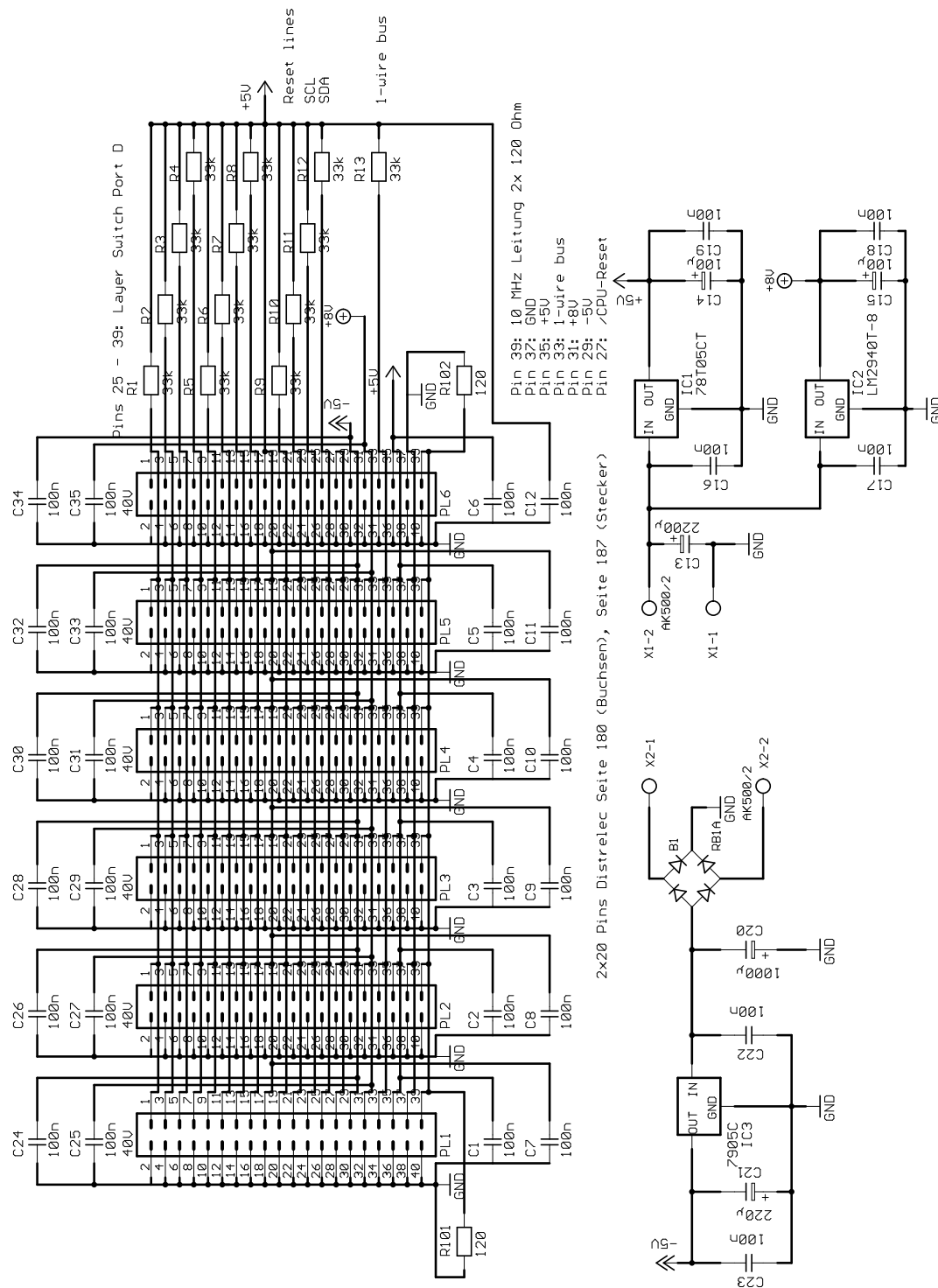


Abbildung A.4: Schaltbild Backplane



## Anhang B

# Kommandosyntax PIC16F877

Es folgt eine tabellarische Übersicht der Assembler-Kommandos für die Programmierung des PIC16F877 Mikrocontrollers.

Bemerkung:

Als Operanden sind für **f** die jeweilige Adresse des benutzten Registers (bzw. in einer Entwicklungsumgebung der Name des Registers) und für **d** '0' oder '1' einzusetzen. Bei '0' wird das Ergebnis in das Prozessorregister W geschrieben, bei '1' in das spezifizierte Register **f**.

Mnemonic	Operanden	Beschreibung
Byte-orientierte Register-Befehle		
ADDWF	f,d	addiere W und f
ANDWF	f,d	logisches UND von W und f
CLRF	f	lösche f
CLRW	f,d	lösche W
COMF	f,d	bilde das Komplement von f
DECF	f,d	verringere f um eins
DECFSZ	f,d	verringere f um eins, überspringe nächste Operation wenn Null
INCF	f,d	erhöhe f um eins
INCFSZ	f,d	erhöhe f um eins, überspringe nächste Operation wenn Null
IORWF	f,d	inklusive ODER von W und f
MOVF	f,d	verschiebe f
MOVWF	f	verschiebe W nach f
NOP	-	keine Befehlsausführung
RLF	f,d	rotiere f inklusive Übertragsbit nach links
RRF	f,d	rotiere f inklusive Übertragsbit nach rechts
SUBWF	f,d	ziehe W von f ab
SWAPF	f,d	vertausche Nibbles von f
XORWF	f,d	exklusives ODER von W und f
Bit-orientierte Register-Befehle		
BCF	f,b	lösche Bit b in f
BSF	f,b	setze Bit b in f
BTFSC	f,b	überspringe nächste Operation, wenn Bit b in f gelöscht
BTFSS	f,b	überspringe nächste Operation, wenn Bit b in f gesetzt
Kontroll-Befehle und Befehle mit Konstanten		
ADDLW	k	addiere Konstante zu W
ANDLW	k	logisches UND der Konstante mit W
CALL	k	Aufruf einer Unterfunktion
CLRWDT	-	Löschen des Watchdog Zählers
GOTO	k	springe zu Adresse k
IORLW	k	inklusive ODER der Konstante mit W
MOVLW	k	lade W mit Konstante
RETFIE	-	Rücksprung aus Interruptfunktion
RETLW	k	Rücksprung aus Unterfunktion mit Rückgabe der Konstanten in W
RETURN	k	Rücksprung aus Unterfunktion
SLEEP	-	aktiviere STANDBY-Modus
SUBLW	k	ziehe W von Konstante ab
XORLW	k	inklusive ODER von W mit Konstante

## Anhang C

# Beschreibung der Programmfunktionen

Im Folgenden werden die programmierten Funktionen der Software erläutert und die in ihnen aufgerufenen Funktionen aufgelistet:

**init38400** : Initialisiert die USART Schnittstelle für RS-232 Betrieb mit 38400 Baud.  
**Unterfunktionen:** keine

**sendRS232** : Ausgabe des Inhaltes des Prozessorregisters **w** auf die RS-232 Schnittstelle.  
**Unterfunktionen:** keine

**getRS232** : Lesen eines Bytes von der RS-232 Schnittstelle.  
**Unterfunktionen:** keine

**EEREAD** : Auslesen des internen Daten-Flash-Speichers von der Adresse **w** .  
**Unterfunktionen:** keine

**init\_I2C** : Initialisierung des  $I^2C$ -Masters.  
**Unterfunktionen:** keine

**start\_I2C** : Erzeugung einer Start-Bedingung auf dem  $I^2C$ -Bus.  
**Unterfunktionen:** keine

**stop\_I2C** : Erzeugung einer Stop-Bedingung auf dem  $I^2C$ -Bus.  
**Unterfunktionen:** keine

**send\_I2C** : Ausgabe des Inhaltes von **w** auf dem  $I^2C$ -Bus.

**Unterfunktionen:** I2C\_in

**get\_I2C** : Auslesen eines Bytes vom  $I^2C$ -Bus. Bestätigung wird gesendet, wenn der an die Funktion übergebene Wert in **w** 0xFF (dezimal: 255) war, ansonsten wird das Byte nicht bestätigt.

**Unterfunktionen:** keine

**I2C\_in** : Datenrichtung auf dem  $I^2C$ -Bus auf Lesen setzen.

**Unterfunktionen:** keine

**I2C\_out** : Datenrichtung auf dem  $I^2C$ -Bus auf Schreiben setzen.

**Unterfunktionen:** keine

**Layer\_Switch** : Einlesen der neuen Lagenummer und Aktivierung der gewählten Lage.

**Unterfunktionen:** sendRS232, getRS232, OK, ERR

Dieses sind die grundlegenden Hardwarefunktionen für die Bedienung der Schnittstellen. Darauf aufgebaut sind Funktionen mit hardwarenahen Operationen:

**send\_HexRS232** : Ausgabe des Wertes von **w** als hexadezimaler Wert auf der RS-232 Schnittstelle.

**Unterfunktionen:** sendRS232

**I2C\_Search** : Suche nach aktiven 10-Bit-Adressen auf dem  $I^2C$ -Bus. Alle aktiven Adressen werden als hexadezimaler Wert auf der RS-232 Schnittstelle ausgegeben.

**Unterfunktionen:** sendRS232, CR, start\_I2C, send\_I2C, stop\_I2C, send\_HexRS232

**show\_ack** : Ausgabe von 'ack' auf der RS-232 Schnittstelle.

**Unterfunktionen:** sendRS232, CR

**ascii2hex** : Umwandlung von über die RS-232 Schnittstelle eingelesenen ASCII-Werten in hexadezimale Werte.

**Unterfunktionen:** get\_I2C, send\_HexRS232

**get\_HEX** : Einlesen einer hexadezimalen Eingabe von der RS-232 Schnittstelle, Rückgabe des Wertes in **w**. **get\_HEX2** ist im Prinzip die gleiche Funktion ohne Ausgabe des letzten Zeichens auf der RS-232 Schnittstelle.

**Unterfunktionen:** getRS232, ascii2hex, sendRS232

**EESEND** : Ausgabe eines Textes aus dem internen Daten-Flash-Speicher auf die RS-232 Schnittstelle.

**Unterfunktionen:** EEREAD, sendRS232

**ARRAY\_OUT** : Ausgabe des internen RAM-Datenspeichers auf der RS-232 Terminal-Schnittstelle.

**Unterfunktionen:** send\_HexRS232

**OK** : Ausgabe von **OK** auf der RS-232 Schnittstelle.

**Unterfunktionen:** send\_RS232, CR

**ERR** : Ausgabe von **ERR** auf der RS-232 Schnittstelle.

**Unterfunktionen:** send\_RS232, CR

**CR** : Beginn einer neuen Zeile auf dem Terminal des Bedieners. Dazu werden die Bytes mit den ASCII-Werten 0A und 0D (dezimal : 10 und 13) auf der RS-232 Schnittstelle ausgegeben.

**Unterfunktionen:** send\_RS232

Als nächstes folgen die direkt auf die CIPix-Ausleseelektronik zugreifenden Funktionen:

**S\_RESET** : Erzeugung eines Soft-Resetimpuls. **S\_RESETQ** gibt kein 'OK' nach Ausführung aus.

**Unterfunktionen:** keine

**H\_RESET** : Erzeugung eines Hard-Resetimpuls.

**Unterfunktionen:** keine

**RECALL\_CIPIX** : Auslese aller Parameter eines CIPix mit der Adresse, die der Funktion in der Variablen HEXBYTE übergeben wird. Die Parameter werden im internen RAM-Datenspeicher bei den Adressen 0x71 bis 0x7D abgelegt. Bei erfolgter Bestätigung wird 'OK' ausgegeben, ansonsten 'err'.

**Unterfunktionen:** S\_RESET, start\_I2C, send\_I2C, stop\_I2C, get\_I2C

**PROG\_CIPIX** : Programmierung des CIPix mit der Adresse in 'w' und den Werten aus dem RAM-Datenspeicher. Funktion endet mit Ausgabe von 'OK' bzw. 'err'(siehe oben).

**Unterfunktionen:** start\_I2C, send\_I2C, stop\_I2C, CHECK\_ACK

**VERIFY\_CIPix** : Der CIPix mit der Adresse in 'w' wird mit den Werten aus dem RAM-Datenspeicher verglichen. Funktion endet mit Ausgabe von 'OK' bzw. 'err'(siehe oben).

**Unterfunktionen:** S\_RESET, start\_I2C, send\_I2C, stop\_I2C, get\_I2C  
RECALL\_FLASH, CHECK\_ACK

**SET\_THRESHOLD** : Setzen der Werte der Diskriminatorschwellen. Übergabewerte befinden sich in den Variablen PHI\_SECTOR, Z\_SECTION, DISCR\_VAL. Bei Angabe einer Z\_SECTION von Null werden alle vier z-Sektionen programmiert.

**Unterfunktionen:** S\_RESET, start\_I2C, send\_I2C, stop\_I2C

**ANA\_OUT** : Steuerung des analogen Ausgangskanals eines  $\varphi$ -Sektors. Die Übergabewerte befinden sich in den Variablen PHI\_SECTOR und PAD. Bei Angabe eines Pads  $>7F$  (dezimal: 127) wird der analoge Kanal des angegebenen  $\varphi$ -Sektors abgeschaltet, ansonsten wird der betreffende Kanal eingeschaltet.

**Unterfunktionen:** S\_RESET, start\_I2C, send\_I2C, stop\_I2C

**ANA\_TEST** : Hilfsfunktion zur schnellen Kontrolle aller analogen Kanäle. In der Funktion wird die Eingabe eines Supersektors (jeweils eine Gruppe von zwei  $\varphi$ -Sektoren) gefordert. Mit der SPACE-Taste kann dann den Wert des ausgehenden Pads jeweils um eins erhöhen, die ESC-Taste bricht diese Funktion vorzeitig ab.

**Unterfunktionen:** get\_HEX, send\_RS232, send\_HexRS232,  
ANA\_OUT, CHECK\_ACK, get\_RS232

Ähnliche Funktionen greifen auf den FLASH-Datenspeicher zu :

**RECALL\_FLASH** : Auslese des FLASH-Datenspeichers und Sicherung der Daten im RAM-Datenspeicher. Die benötigte Adresse wird aus der Angabe des benötigten CIPix-Datensatzes durch den Wert in HEXBYTE errechnet.

**Unterfunktionen:** start\_I2C, send\_I2C, stop\_I2C

**SAVE\_FLASH** : Programmierung des FLASH-Datenspeichers mit den Werten im RAM-Datenspeicher. Die benötigte Adresse wird durch die Adresse des ausgelesenen CIPix in HEXBYTE und der aktuell aktiven Lage in LAYERBYTE errechnet.

**Unterfunktionen:** start\_I2C, send\_I2C, stop\_I2C, CHECK\_ACK

Das Programmieren, Verifizieren und Schwellensetzen ist auch pro Lage bzw. für die gesamte Kammerauslese auf einmal möglich. Dies ermöglichen folgende Funktionen:



**do\_thr\_layer** : Setzen von Schwellen auf einer Lage.  
**Unterfunktionen:** CR, send\_HexRS232, SET\_THRESHOLD, all\_z,  
 CHECK\_ACK

**do\_thr\_global** : Setzen von Schwellen auf allen Lagen.  
**Unterfunktionen:** CR, do\_thr\_layer

**verify\_layer** : Vergleich der Daten aller CIPIx-Chips der aktiven Lage mit den gespeicherten Werten. **verify\_layerq** ist die gleiche Funktion ohne Rückgabe des letzten empfangenen Bytes auf der RS-232 Schnittstelle.  
**Unterfunktionen:** CR, send\_RS232, send\_HexRS232, VERIFY\_CIPIX

**verify\_global** : Vergleich der Daten aller CIPIx-Chips aller Lagen mit den gespeicherten Werten.  
**Unterfunktionen:** CR, send\_RS232, send\_HexRS232, verify\_layerq

**prog\_layer** : Programmierung aller CIPIx-Chips der aktiven Lage mit den Daten des externen FLASH-Speichers. **prog\_layerq** ist die gleiche Funktion ohne Rückgabe des letzten empfangenen Bytes auf der RS-232 Schnittstelle.  
**Unterfunktionen:** CR, send\_RS232, S\_RESETQ, send\_HexRS232, do\_prog\_new

**prog\_global** : Programmierung aller CIPIx-Chips aller Lagen mit den Daten des externen FLASH-Speichers.  
**Unterfunktionen:** CR, send\_RS232, prog\_layerq

Die weiteren Funktionen sind bis auf man\_I2C Hilfsfunktionen für übergeordnete Programmteile:

**man\_I2C** : Manueller Zugriff auf den  $I^2C$ -Bus. Diese Funktion wird durch manuelle Anforderung einer Startbedingung ('<') aufgerufen und sendet die nachfolgenden Bytes direkt auf den  $I^2C$ -Bus der zuvor aktivierten Lage. Über die 7-Bit Adresse A0 (dezimal: 160) ist der FLASH-Datenspeicher auf jeder Lage ansprechbar, da er direkt am Prozessor angeschlossen ist. Jede  $I^2C$ -Kommandosequenz muss mit einer Stop-Bedingung ('>') abgeschlossen werden.

**Unterfunktionen:** start\_I2C, send\_I2C, stop\_I2C, CHECK\_ACK,  
 sendRS232, getRS232

**DELAY** : Erzeugung einer Verzögerung von ca. 0,5 sec.  
**Unterfunktionen:** keine

**CHECK\_ACK** : Überprüfung ob vorangehende Programmiersequenz komplett bestätigt wurde.

**Unterfunktionen:** ERR, OK

Vom Hauptprogramm werden je nach empfangenem Kommando verschiedene Unterprogramme aufgerufen:

**H\_HIT** : Hilfsprogramm zur Erkennung des Kommandos **HR** zur Auslösung des Hard-Resets.

**Unterfunktionen:** sendRS232, getRS232, H\_RESET, OK, ERR

**V\_HIT** : Hilfsprogramm zur Unterscheidung der Vergleichsbefehle (**Vnn**, **VL**, **VG**).

**Unterfunktionen:** sendRS232, getRS232, verify\_layer, verify\_global, get\_HEX2, VERIFY\_CIPX

**S\_HIT** : Hilfsprogramm zur Unterscheidung von **SR** (Soft-Reset), **SL** (Suche nach aktiven  $I^2C$ -Adressen) und **Snn** (Speichern eines CIPix-Datensatzes im externen FLASH-Speicher).

**Unterfunktionen:** sendRS232, getRS232, I2C\_SEARCH, OK, ERR, S\_RESET, get\_HEX2, RECALL\_CIPX, ARRAY\_OUT, SAVE\_FLASH

**R\_HIT** : Hilfsprogramm zum Auslösen einer Lesesequenz auf einem CIPix-Chip.

**Unterfunktionen:** sendRS232, get\_HEX, ERR, RECALL\_CIPX, ARRAY\_OUT, CHECK\_ACK

**P\_HIT** : Hilfsprogramm zur Unterscheidung der Programmierbefehle (**Pnn**, **PL**, **PG**). **do\_prog\_new** ist eine Teilfunktion, welche von **prog\_layer** aufgerufen wird.

**Unterfunktionen:** sendRS232, getRS232, prog\_layer, prog\_global, get\_HEX2, RECALL\_FLASH, PROG\_CIPX

**A\_HIT** : Hilfsprogramm zur Unterscheidung von **Ann** und **AT** (Steuerung des analogen Ausgangs).

**Unterfunktionen:** sendRS232, getRS232, ANA\_TEST, get\_HEX, get\_HEX2, ERR, ANA\_OUT, CHECK\_ACK

**T\_HIT** : Hilfsprogramm zur Unterscheidung der Kommandos zum Schwellensetzen: **Tnn**, **TL** bzw. **TG**. **all\_z** ist eine Teilfunktion, welche von **do\_thr\_layer** aufgerufen wird.

**Unterfunktionen:** sendRS232, getRS232, get\_HEX, get\_HEX2, ERR, do\_thr\_layer, do\_thr\_global, SET\_THRESHOLD, CHECK\_ACK

Das Hauptprogramm beginnt unter der Marke **START**. Es initialisiert sowohl benutzte Variablen als auch die RS-232 und die  $I^2C$ -Schnittstelle. Nach Ausgabe der Programmversion wird der Kommandoprompt '-' ausgegeben, damit ist die Steuerhardware bereit, Kommandos entgegen zunehmen. Diese wurden im Rahmen dieser Arbeit zumeist manuell an einem Terminal eingegeben. Bei automatischer Eingabe durch Kopieren einer Datei auf die Schnittstelle ist darauf zu achten, dass kein Handshaking stattfindet, d.h. folgen die Eingaben der Daten zu schnell ist der Prozessor nicht zu einer Rückmeldung an das Terminal in der Lage, um die Eingabe zu unterbrechen. Viele Terminalprogramme unterstützen jedoch das Einfügen einer Verzögerung beim Senden von Zeichen. Das im Rahmen dieser Arbeit benutzte Programm stellte eine in 1 ms einstellbare Verzögerung zur Verfügung, eine Einstellung von 1 ms stellte sich als ausreichend heraus zum automatischen Senden von Dateien.



## Anhang D

# Programmcode und Datenblätter

Der Abdruck des kompletten Assembler-Programmcodes der Frontend-Steuerung wurde aus Platzgründen nicht im Rahmen dieses Dokuments vorgenommen. Die entsprechenden Dateien befinden sich ebenso wie alle Datenblätter und Messdiagramme auf der beigelegten CD-ROM.

Als Compiler des Assembler-Codes wurde MPASM Version 2.40 vom 8.3.00 in der Entwicklungsumgebung MPLAB Version 5.11 vom 9.3.00 benutzt. Das Programm 'cipcpu9.asm' vom 14.12.00 stellt den aktuellen Stand (Januar 2001) der Programmierung des CIPix-Steuersystems dar.



# Literaturverzeichnis

- [ASIC96] W. Fallot-Burghardt et al., *HELIX128, An Amplifier and Readout Chip for MSGCs and Silicon Microstrip Detectors*, Oktober 1996, <http://wwwasic.kip.uni-heidelberg.de/trunk/helix128/helix128.html>.
- [AT99-0] Agilent Technologies, Datenblatt HFBR-1528 / HFBR-2528, 1999.
- [AT99-1] Agilent Technologies, *Versatile Link Application Note AN-1080*, Nov. 1999.
- [AT99-2] Agilent Technologies, *Radiation Immunity of Agilent Technologies Optocouplers*, Nov. 1999.
- [Ba99] Daniel Baumeister, *Entwicklung und Charakterisierung eines ASICs zur Kathodenauslese von MWPCs für das H1-Experiment bei HERA*, Universität Heidelberg, März 1999.
- [Be00] Jan Becker, *CIP2000-Trigger and z-Vtx-Trigger*, Vortrag für H1-Trigger-Workshop in Ringberg, Januar 2000, <http://www.desy.de/~jbecker>.
- [DESY97] L. Suszycki et. al., *HERA Luminosity Upgrade*, 2nd Draft Juli 1997 <http://www.desy.de/~parker/IR/Report970702/Report970702.html>.
- [DESY00] DESY Homepage, Internet: [www.desy.de](http://www.desy.de).
- [DS98] Dallas Semiconductor, Datenblatt DS2480, April 1998.
- [DS00-0] Dallas Semiconductor, vorläufiges Datenblatt DS18B20, April 2000.
- [DS00-1] Dallas Semiconductor, *Reading and Writing iButtons via Serial Interfaces*, Application Note 74, Feb. 2000.
- [DS00-2] Dallas Semiconductor iButton-Homepage, <http://www.ibutton.com/software/index.html>.
- [H196] H1 Collaboration, *The H1-Detector at HERA*, DESY-H1-96-01, März 1996.
- [H198-0] Michael Cuje et al., *H1 Luminosity Upgrade 2000*, Dez. 1997.
- [H198-1] D. Baumeister et al., *H1 Luminosity Upgrade 2000, Progress Report on CIP and Level 1 Vertex Trigger*, Juni 1998.

- [H100] Homepage des H1-Experiments, <http://www-h1.desy.de>.
- [Lö98] Sven Löchner, *Charakterisierung und Entwicklung eines CIP-Auslese-ASIC für das H1-Upgrade-Projekt 2000*, Universität Heidelberg, Dez. 1998.
- [Lö00] Sven Löchner, persönliche Mitteilung, Nov. 2000
- [Lü00] Stefan Lüders et al., *Compact Frontend-Electronics and Bidirectional 3.3 Gbps Optical Datalink for the H1-Experiment*, Proceedings to the 6th Electronics Workshop for LHC Experiments, Krakau, September 2000.
- [MT99-0] Microchip Technology Inc., Datenblatt PIC16F87X, DS30292B, 1999.
- [MT99-1] Microchip Technology Inc., Datenblatt 24LC32A, DS21144D, 1999.
- [MT00] Microchip Technology Inc., <http://www.microchip.com>.
- [PS98] Philips Semiconductor, Datenblatt P82B96, Juli 1998.
- [PS00] Philips Semiconductor, *The I<sup>2</sup>C-Bus Specification Version 2.1*, Januar 2000.
- [St00] Uwe Stange, *Charakterisierung und Weiterentwicklung des CIPix*, Universität Heidelberg, Juni 2000.
- [St98] U. Straumann, *H1 CIP Upgrade: Pad Numbering Scheme*, April 1999, <http://www.physi.uni-heidelberg.de/groups/he/h1/cipupgrade/text/nummerierung.ps>.
- [Ur00] Max Urban, *Ein schneller Trigger für H1 bei HERA*, Universität Heidelberg, Mai 2000.



**Erklärung:**

Ich versichere, dass ich diese Arbeit selbständig verfasst und keine anderen als die angegebenen Quellen und Hilfsmittel benutzt habe.

Heidelberg, den .....

.....

Achim Vollhardt

